

# 목 차

## I. 요약

## II. 분석배경

1. 서론
2. 문제분석
3. 기술설명
4. 기술분류체계
5. 특허검색 및 유효데이터 추출

## III. 정량분석

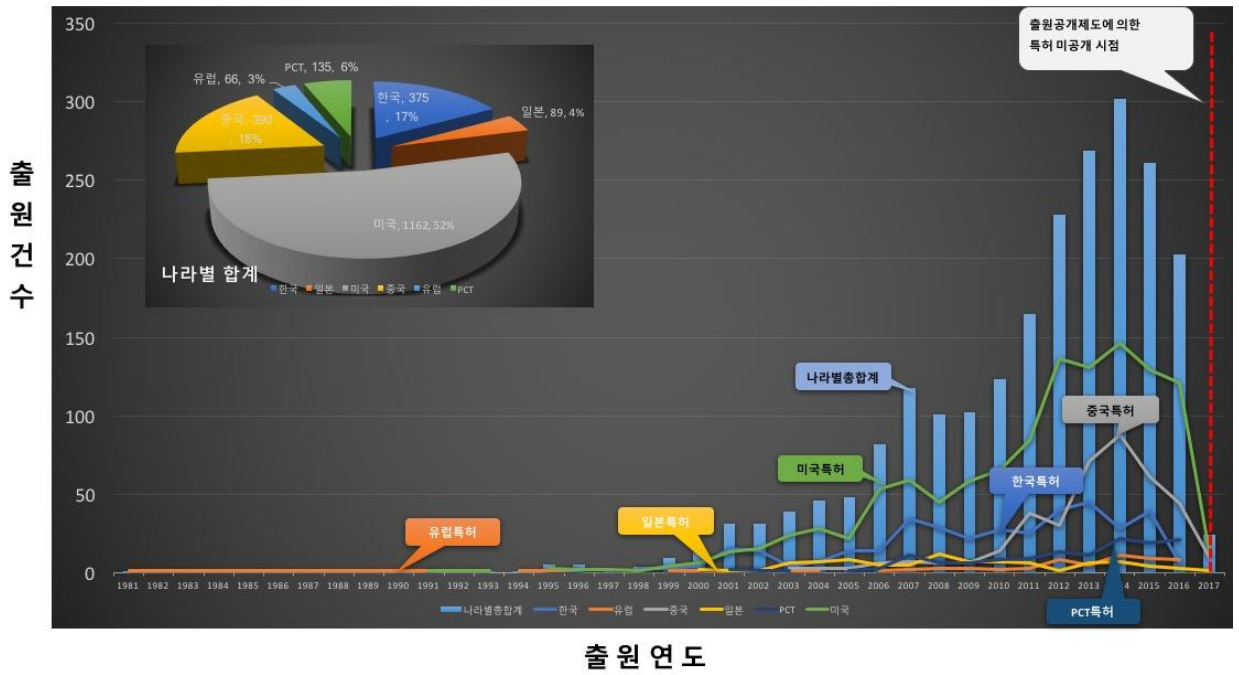
1. 주요 출원인 분석
2. 주요 기술별 분석

## IV. 핵심특허 및 정성분석

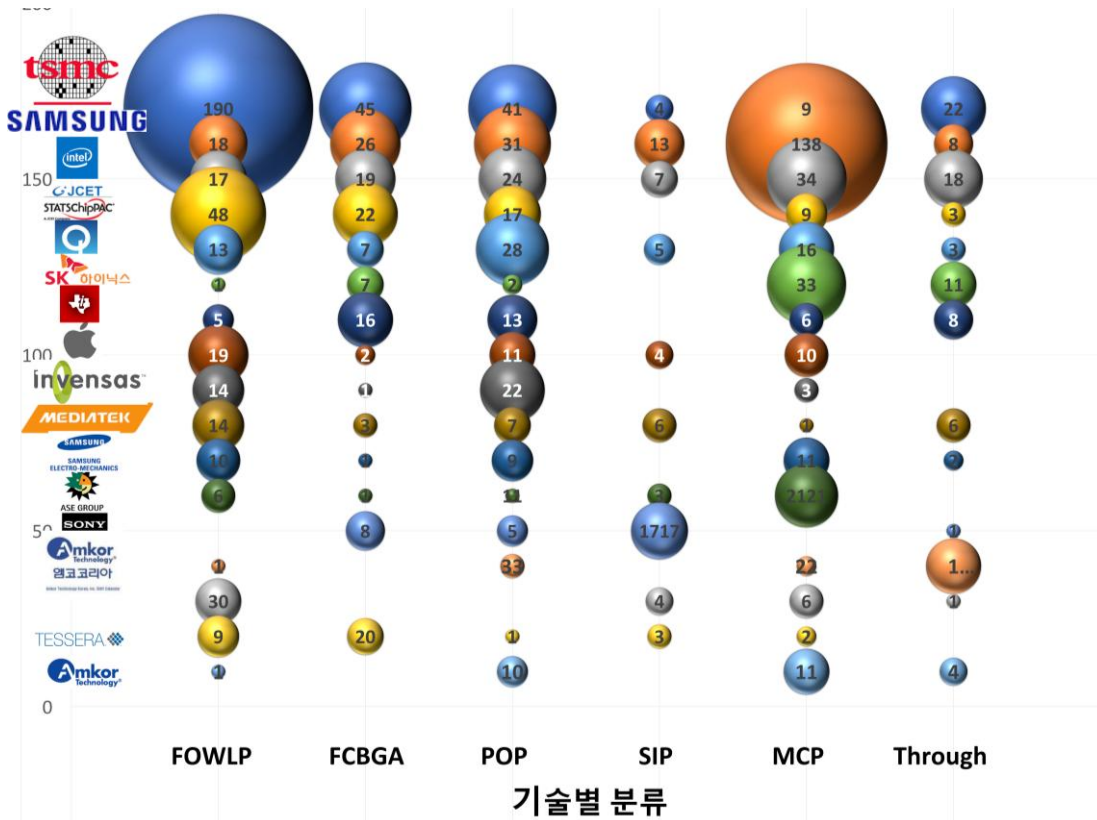
1. 핵심특허 선정
2. 핵심특허 및 논문리스트
3. 정성분석
4. 기술전개도
5. 공백기술 매트릭스표
6. 미래전략 방향
7. 회피설계

## V. 결론

# I. 요약



문제에서 제시한 조건처럼 미국과 한국특허가 많은 비중의 유효데이터입니다.



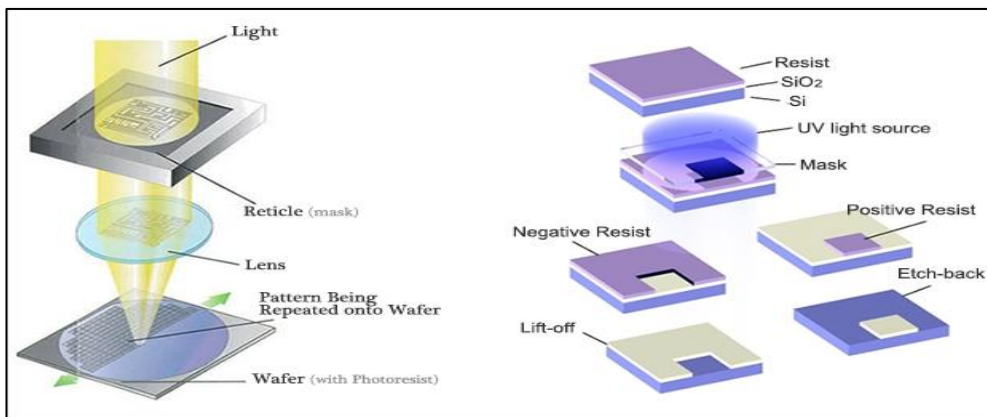
TSMC가 다른 출원인보다 기술별로 특허가 많은 것을 볼 수 있습니다. 삼성의 경우 MCP에 관련된 특허가 압도적 많은 것을 알 수 있습니다.

## II. 분석배경

### 1. 서론

현 반도체 업계는, 미세 공정에 의하여, 28nm 이후로는 고가 설비에 의한 제조 원가의 상승, 소자간의 간격 축소와 종횡비 상승 등의 문제점 때문에 전 공정 기술의 진보를 통한 성능 및 집적도 향상이 점차 어려워지는 상황입니다. 향후 극 자외선(EUV) 노광 장비가 본격적으로 도입되고, 10nm 이하의 반도체가 양산된다고 하더라도 전 공정에 대한 투자비용이 크게 증가하고 있기 때문에, 전 공정 기술의 한계를 극복하고, 저전력, 고성능, 소형 반도체를 구현하기 위하여 후 공정으로의 투자가 증가하고 있는 추세입니다.

실제로, 고속 전자제품의 신호 delay의 절반 이상이 칩과 칩 사이에서 발생하는 패키징 지연에 의해 생기게 되고, 시스템이 점점 커질수록 전기신호의 지연은 더욱 증가할 것으로 예상됩니다. 따라서 반도체 패키징 기술의 중요성 또한 더욱 커질 것으로 인식되며, 반도체 전 공정의 기술 도약과 더불어 반도체 패키징 산업의 뒷받침 또한 필수적입니다.



사진출처 : <http://willson.cm.utexas.edu/Teaching/Main/index.php>

더불어 최근 반도체 패키징 기술에 대한 관심이 뜨거운 이유는 반도체의 수요처가 기존의 스마트폰을 넘어 의료용, 웨어러블 기기, 자동차, 산업용 등으로 다양해졌기 때문으로 보입니다. 패키지의 역할은 IC의 보호 및 연결 기능을 넘어 시스템 집적화(System Integration)로 변화되고 있는 추세입니다.

이처럼 반도체 패키징 기술의 수요 증가로, 다른 업체가 설계한 반도체를 생산하여 공급해주는 파운드리 시장이 크게 성장하게 되었습니다. 이 시장은 대만의 세계적인 반도체 제조업체인 TSMC가 매출 기준 점유율 50.6%를 차지하며 압도적 1위를 달리는 중이고, 미국의

글로벌 파운드리가 9.5%로 2위, 대만의 UMC가 8%로 3위를 기록했습니다. 삼성전자는 7.9%로 4위를 차지했고 SK하이닉스는 0.2%로 27위를 기록했지만 그만큼 성장 가능성도 크다고 볼 수 있습니다.

파운드리 시장은 안정적으로 성장세를 유지하고 있습니다. 시장조사업체 IHS마킷에 따르면 전 세계 반도체 파운드리 시장은 연 7.8% 성장해 2021년이면 819억 3000만 달러(93조 8000억원) 규모에 달할 것으로 전망됩니다. 게다가 파운드리 시장의 성장률은 DRAM(5.3%),NAND flash(6.1%)보다 높은 수치를 보입니다.

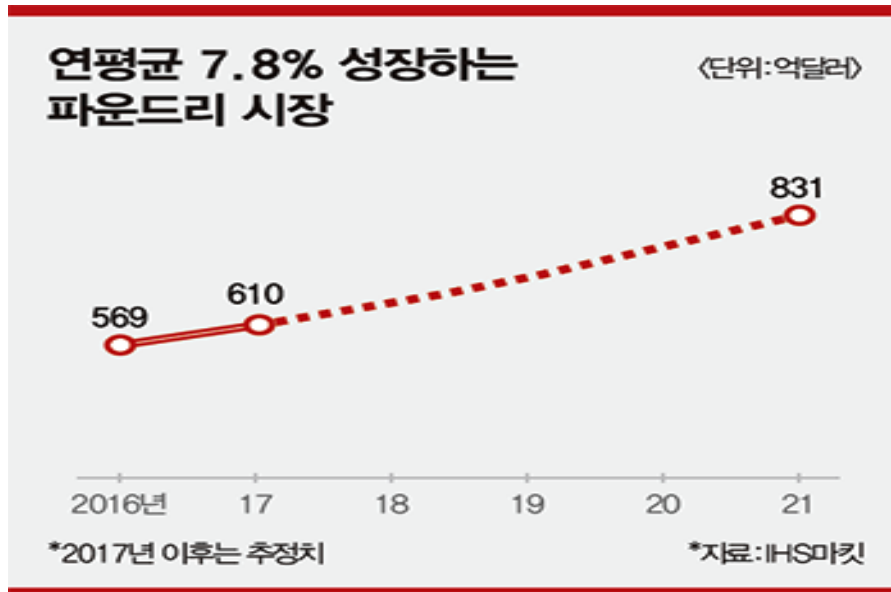
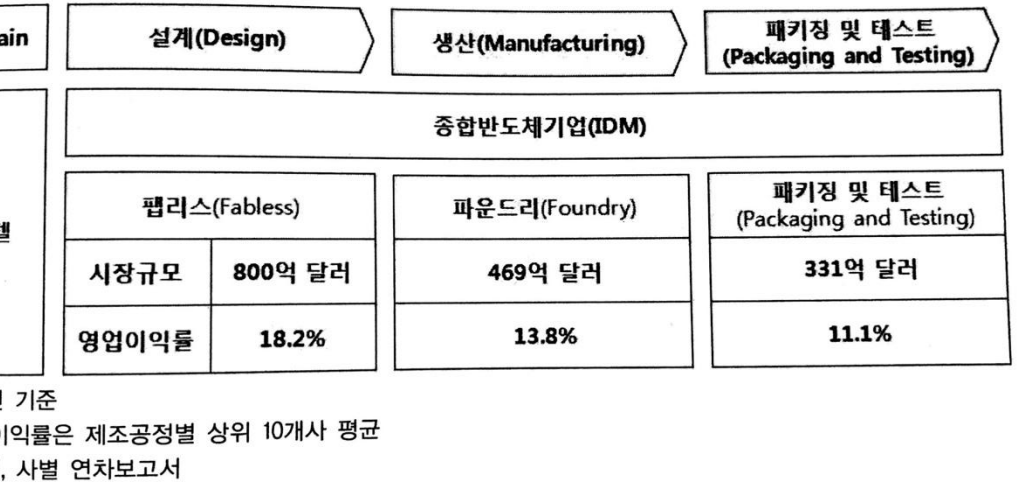


사진 출처: <http://news.mk.co.kr/v2/economy/view.php?year=2017&no=511883>

현재 우리나라 반도체 기업들 역시 파운드리 시장의 성장에 대응하여, 삼성전자는 시스템LSI사업부 내 팀이었던 파운드리 조직을 5별도의 사업부(파운드리사업부)로 격상하였고, SK하이닉스 또한 반도체 설계 기업인 팹리스에서 설계 도면을 받아 위탁 생산하는 SK하이닉스시스템IC를 자회사로 설립하는 등 공격적인 투자를 시작하였습니다.

[그림 II-4] 반도체 Value Chain 및 사업모델



## 2. 문제분석

### 2-1) 문제 내용

- FOWLP 기술 관련하여 특허분석을 실시하고, 핵심 특허 획득전략을 제시하시오.

※ 특허조사범위

- (1) 국가: 미국, 한국
- (2) 기술분야: 반도체 패키지

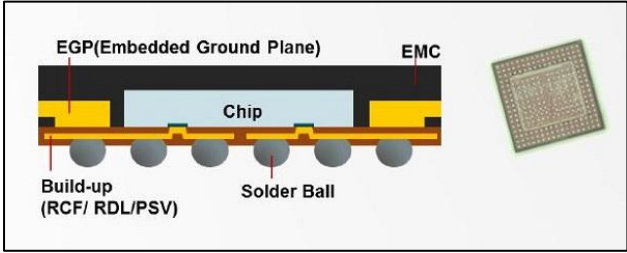
- 상세 분석내용-

1. FOWLP에 대한 선행기술조사 및 기술분류, 정량분석, 정성분석
2. 선행기술조사 결과에 대한 핵심특허 선정 및 심층분석
3. 기술흐름도 및 미래 기술방향 제시
4. 핵심특허 획득을 위한 특허전략 (공백기술파악, 회피설계방안 등 특허출원에

### 2-2) 문제의 중요성

앞서서 서론에서 말했듯이, 여러 산업에 사용될 정도로 반도체가 고성능화 되었습니다. 따라서, 작년 갤럭시 S7에 탑재된 AP (Application Processor)의 I/O 단자 수는 갤럭시 S6 때보다 44% 증가(헬로티 인용)하였는데 이는 I/O 단자수가 증가하는 추세를 잘 보여주는 부분입니다.. 이 추세에 맞춰 제조업체들은 다이(Die) 사이즈는 줄여야 하지만 I/O Pin 수를 늘려야 하는 딜레마에 있어서, 다이(Die) 표면의 더 많은 접속부를 가져가기 위해 볼 피치(Ball Pitch)를 줄이거나, 다이 바깥으로도 I/O Pin을 배치하는 팬-아웃(Fan-Out) 두 방식으로 진화해야 했습니다.

그 중에서도 대만 TSMC는 독자적인 InFO(Intgrated Fan Out) 기술로 FOWLP시장을 앞서나가고 있습니다. 차세대 애플 아이폰용 AP(Application Processor)에 InFO 패키지 기술이 적용될 것으로 업계에선 보고 있습니다. 국내에서는 OSAT 기업인 네패스의 경우 이미 FOWLP 기술 상용화에 성공했으며, 오토모티브 시장을 중심으로 NXP반도체에 기술을 접목해 공급하고 있습니다. 또 앰코 테크놀로지는 일본 패키지 업체 J-디바이스 인수 후 인천 송도에 건설 중인 신규 패키지 공장 `K5`에서 FOWLP 양산에 나설 계획입니다. 위와 같이,반도체 패키징의 중요성이 커짐에 따라서, A6 FOWLP문제는 종합반도체회사(IDM)들이 이 상황에 대응하기 위해 FOWLP기술과 특허에 대한 분석의 필요성으로 보입니다.

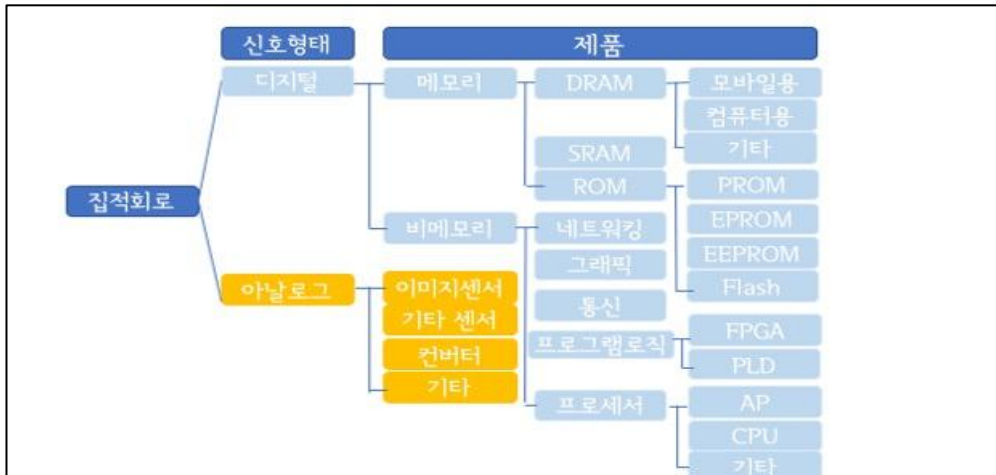


▲FOWLP 기술 (자료: 네패스)

## 3. 기술설명

### 3-1) 반도체의 종류

반도체라고 하면 보통 두 가지로 이야기 됩니다. 저장이 주기능인 **메모리** 분야와 CPU와 같이 연산이 주기능인 로직(logic) 회로를 만드는 **비 메모리** 분야입니다.



### 3-2) 반도체의 제조 공정

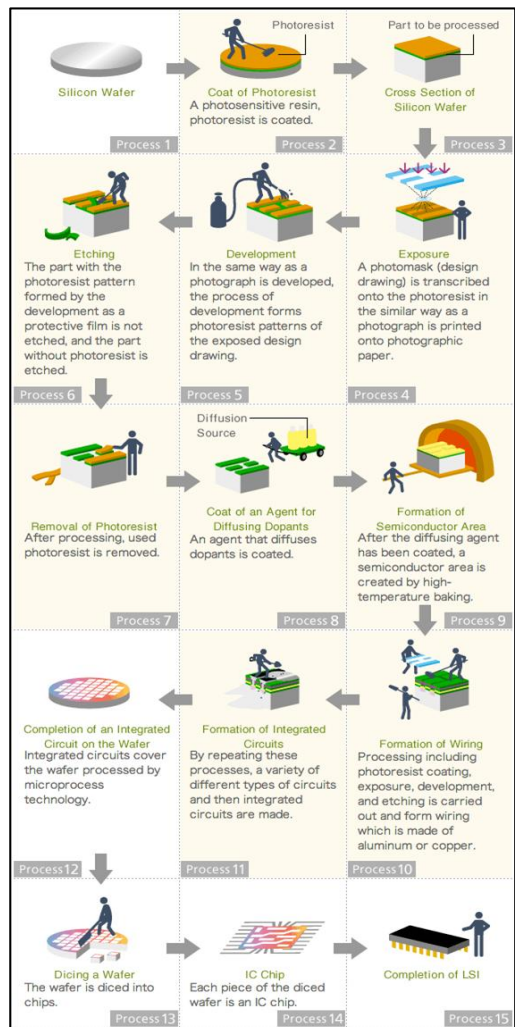
공정은 크게, 웨이퍼 제조 공정, 소자(디바이스) 제조 공정, 패키징 및 테스트 공정으로 나눌 수 있습니다.

소자 제조 공정은 다시 FEOL(front end of line) 공정과 BEOL(back end of line) 공정으로 나뉩니다. FEOL 공정은 실리콘 에피텍시(박막 제조에서 기판 재료 표면의 원자 배열에 의존한 결정 구조의 박막이 성장하는 과정을 말합니다) 층 위에 MOSFET 트랜지스터를 형성하는 단계이고, BEOL 공정은 MOSFET 트랜지스터 위에 인터커넥션을 위한 금속배선 및 입출력 단자를 형성하는 단계를 말합니다.

#### FEOL(front end of line) 공정

먼저, MOSFET 트랜지스터를 어떻게 구성하는지 살펴봅시다. P채널 MOSFET 트랜지스터를 가정하면, p형으로 도핑된 기판 위에 게이트 유전층(이산화규소가 일반적으로 사용됩니다)을 형성합니다.

그 다음으로, 게이트 영역과 소스 및 드레인 영역을 패터닝하기 위한 포토리소그래피와 식각(蝕刻, etching)을 생각해볼 수 있습니다. 이후, 소스와 드레인 영역에 n형 도펀트(5가의 원자수를 갖는 불순물)를 도핑(임플란테이션이나 확산 공정을 통해 도핑합니다)함으로써 형성됩니다. 또한, 박막 형성을 위한 성막(成幕, deposition), 기타 열공정(熱工程)과 평탄화(平坦化, CMP) 공정을 생각해 볼 수 있습니다.



## **BEOL(back end of line) 공정**

MOSFET 트랜지스터가 형성되었으면, 이들의 인터커넥션을 통해 원하는 회로를 형성해야 합니다. 인터커넥션은 금속배선과 유전층에 의한 절연 공정을 반복해서 몇 층의 금속배선을 형성합니다. 초기의 배선은 주로 알루미늄을 통해 이루어졌습니다. 시간이 흐르면서 같은 칩 면적 안에 더 많은 트랜지스터를 집적시키기 위해, 트랜지스터 크기와 트랜지스터 간의 간격도 줄어들게 되었습니다. 또한, 공정이 미세화됨에 따라 더 많은 트랜지스터가 동일 크기의 웨이퍼 내에서 형성되기 때문에, 공정 가격이 내려가지만 소자의 성능은 향상되었습니다.

사진출처 : <http://goo.gl/34yAgQ>

## **3-3) 반도체 패키징이란?**

반도체 산업 영역은 크게 IC (Integrated Circuit) Chip design > IC Wafer Fabrication > Packaging > Test로 나눌 수 있습니다. 이중에서 패키징은 반도체와 기기를 연결하기 위해 전기적으로 포장하는 공정을 말합니다. 예를 들면 애플리케이션 프로세서와 D램, 낸드플래시를 묶어 부피를 줄이고, 속도를 향상시키는 식으로 만드는 것입니다.

### **반도체 패키징의 목적**

1. IC chip 과 사용 전자제품의 보드까지 전기적인 신호 연결
2. IC chip 에 필요한 전원 공급
3. 다양한 사용 환경에서 장시간 사용할 수 있도록 신뢰성 확보(외부의 습기나 불순물 등으로 부터 보호)

### **다양한 반도체 패키지 종류**

반도체 패키지는 위의 기본적인 세 가지 기능 이외에, 응용분야별로 요구하는 기술적인 조건에 따라 다양한 종류의 패키지가 있습니다. 어떤 응용분야건 간에, 패키지 크기는 경박단소(Lighter, Thinner, Shorter, Smaller)를 기본으로, 전기적으로는 저전력 소모, 안정적이고 빠른 신호 배선 설계, 효율적인 방열기술이 요구되면서 가격 경쟁력이 있는 저가의 패키징 기술이 현재 가장 큰 트렌드입니다.

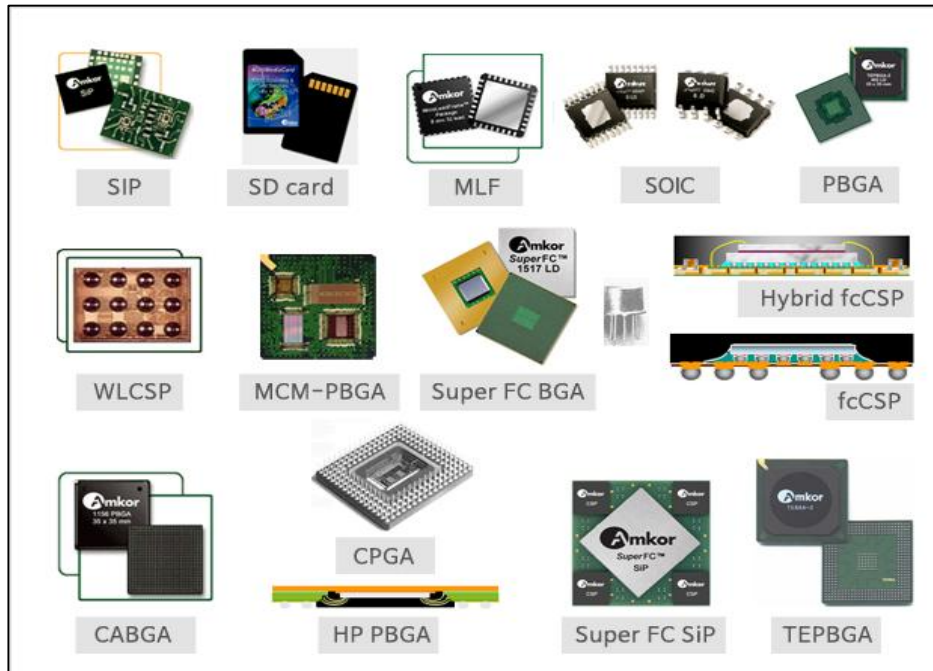


사진 출처 : <http://amkorinstory.com/>

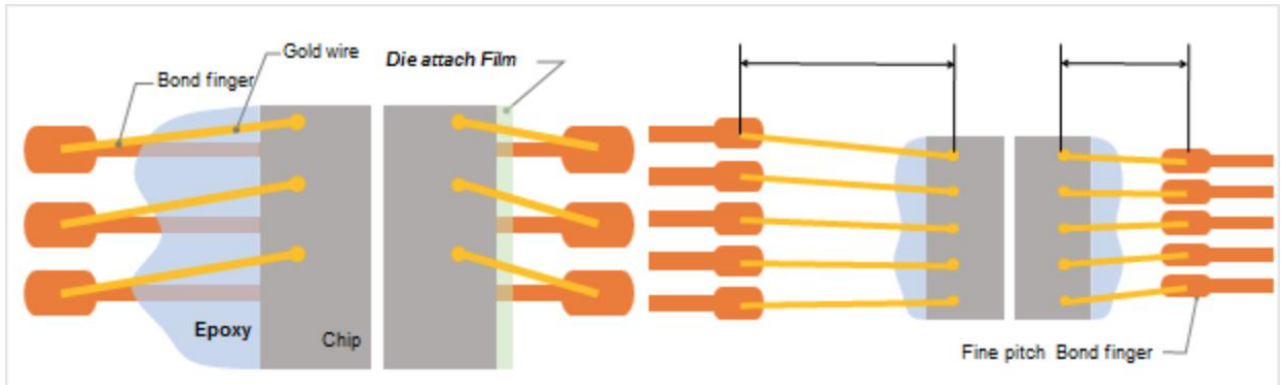
## 패키지 설계

패키지 설계의 첫 번째 단계를 **패키지 종류 선정**이라고 생각합니다. 필요한 입출력 단자의 개수(I/O), 패키지 외형의 크기, 전기적, 열적 특성, 그리고 무엇보다 중요한 가격까지, 여러 조건을 꼼꼼히 따져보면서 가장 알맞은 제품으로 선택하게 됩니다. 설계 전부터 이미 결정되기도 하지만, 간혹 앞서 말한 여러 조건 때문에 변경되기도 합니다.

두 번째 단계로 **기판(Substrate) 설계**가 있습니다. 패키지 종류를 구분하는 기준 중 하나는 어떤 기판(substrate)을 사용하느냐입니다. 전통적으로 구리 동판에 식각을 통해 배선을 만드는 방식인 **리드프레임(Lead-frame)**이 있습니다. 상대적으로 값이 싸고 열적, 전기적 특성의 장점이 있어서 지금까지도 다양한 종류의 제품에 적용됩니다. 다른 방식인 PCB 는 여러 층으로 구성된 배선층과 각각의 배선층을 수직으로 연결해주는 Via 를 통해 원하는 곳으로 연결합니다.

## 반도체 패키징에 사용되는 소재

패키징에는 여러 가지 소재가 사용됩니다. 리드프레임이나 PCB 와 같은 기판이 있겠고, EMC (epoxy mold compound), Die adhesive, Gold wire 에 이르기까지 다양한 종류의 소재들이 사용됩니다.



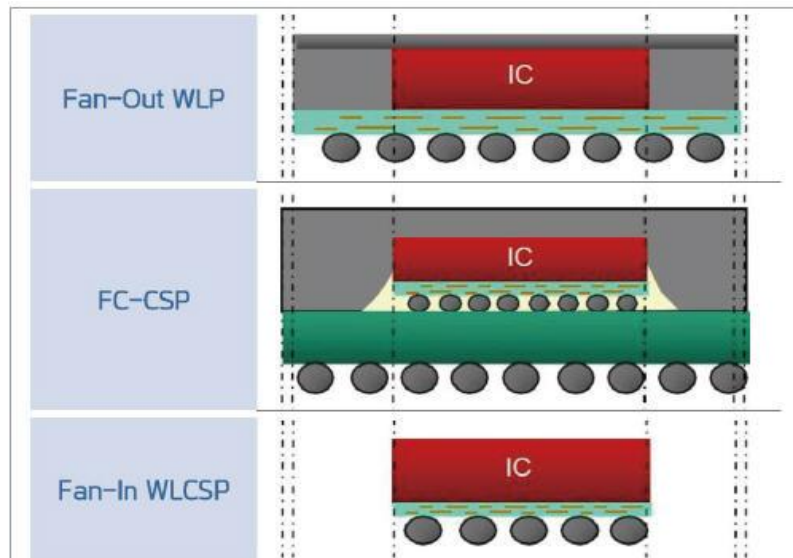
▲ Bond finger 위치 비교 Epoxy vs DAF / Bond finger pitch 에 따른 wire length 비교

출처 : <http://amkorinstory.com/>

Chip 을 기판 위에 붙이려면 일종의 접착제가 필요합니다. 이럴 때는 '에폭시(epoxy)'를 사용하는데, Chip 을 붙이는 동안 액상의 epoxy 가 chip 바깥으로 일부 흘러나오게 됩니다. Wire 를 본딩하는 곳이 chip 에서 너무 가까워 epoxy 가 묻는다면 제대로 본딩이 안 될 수도 있습니다. 에폭시 대신 필름 형태의 DAF (die attach film)을 사용한다면 wire 를 상당히 짧게 할 수 있습니다.

## 반도체 패키징의 구조

패키징 가격의 상당 부분은 기판(Substrate)이 차지합니다. 원가절감의 또 다른 시도는 기판의 가격을 낮추기는 데에 멈추지 않고, 기판 자체를 생략하는 방식으로 진보했습니다.



사진출처 : [http://www.semi.org/eu/sites/semi.org/files/docs/5\\_Yole\\_Nanium%20Workshop.pdf](http://www.semi.org/eu/sites/semi.org/files/docs/5_Yole_Nanium%20Workshop.pdf)

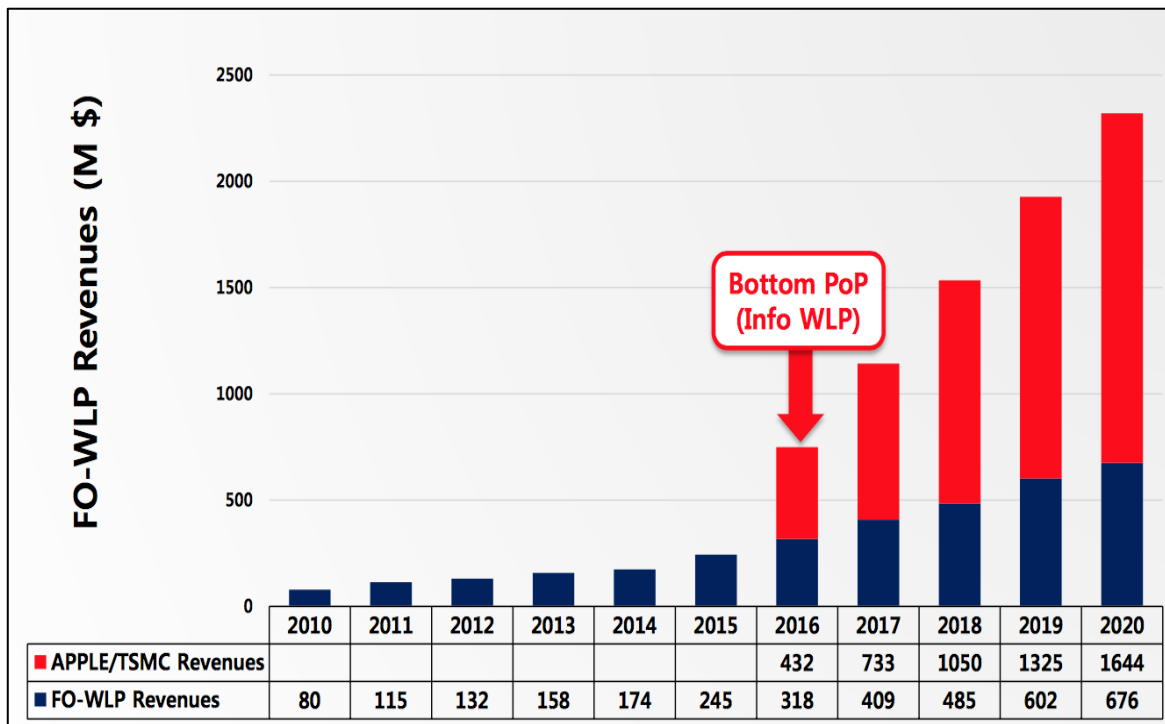
국내 외의 기판 제작 업체에서 만든 기판을 사용하지 않고, RDL (Redistribution Layer) 공정을 통해 패키징 업체에서 재배선 층을 제작하는 방식입니다. 이런 종류의 패키지를 WLP (Wafer Level Package)라고 부릅니다. Pre-preg와 Core 대신에 수 um 두께의 RDL, Passivation 등으로 기존의 Laminate 기판을 대체할 수 있습니다. 아울러 I/O 개수가 증가하는 추세를 따라잡기 위해 칩 크기보다 큰 FOWLP (Fan-out WL)에 대한 관심이 더 증가하고 있습니다.

FOWLP의 장점은 기판을 사용하지 않기 때문에 원가절감을 기대할 수 있습니다. FCCSP에 비해 Cu pillar 혹은 솔더범프와 같은 chip과 기판 사이의 Interconnection도 생략할 수 있습니다. 기판이 없기에 더 얇은 두께도 구현할 수 있습니다. 기판을 구성하는 두꺼운 절연체(pre-preg, Core)가 없기에 방열 효과 개선도 기대할 수 있습니다.

### 3-4) FOWLP 공정

FOWLP 기술은 반도체 칩을 연결하기 위한 연결매개(솔더 볼)를 밖으로 빼 내는 팬아웃(Fan-Out) 형식의 범핑 공정으로, 두께가 얇아지고 비용절감 효과가 있으며 전기적 성능과 에너지 소모를 최소화하는 장점이 있습니다. 뿐만 아니라, FOWLP 기술은 입출력(I/O) 밀도를 높일 수 있고 3D 등 집적화에 유리합니다. 예컨대 반도체의 고성능화로 인해 스마트폰에 탑재된 AP의 I/O 단자수가 증가함으로써 제조업체들은 FOWLP 기술을 적용하는 방안을 선택하고 있습니다.

## FOWLP 시장규모



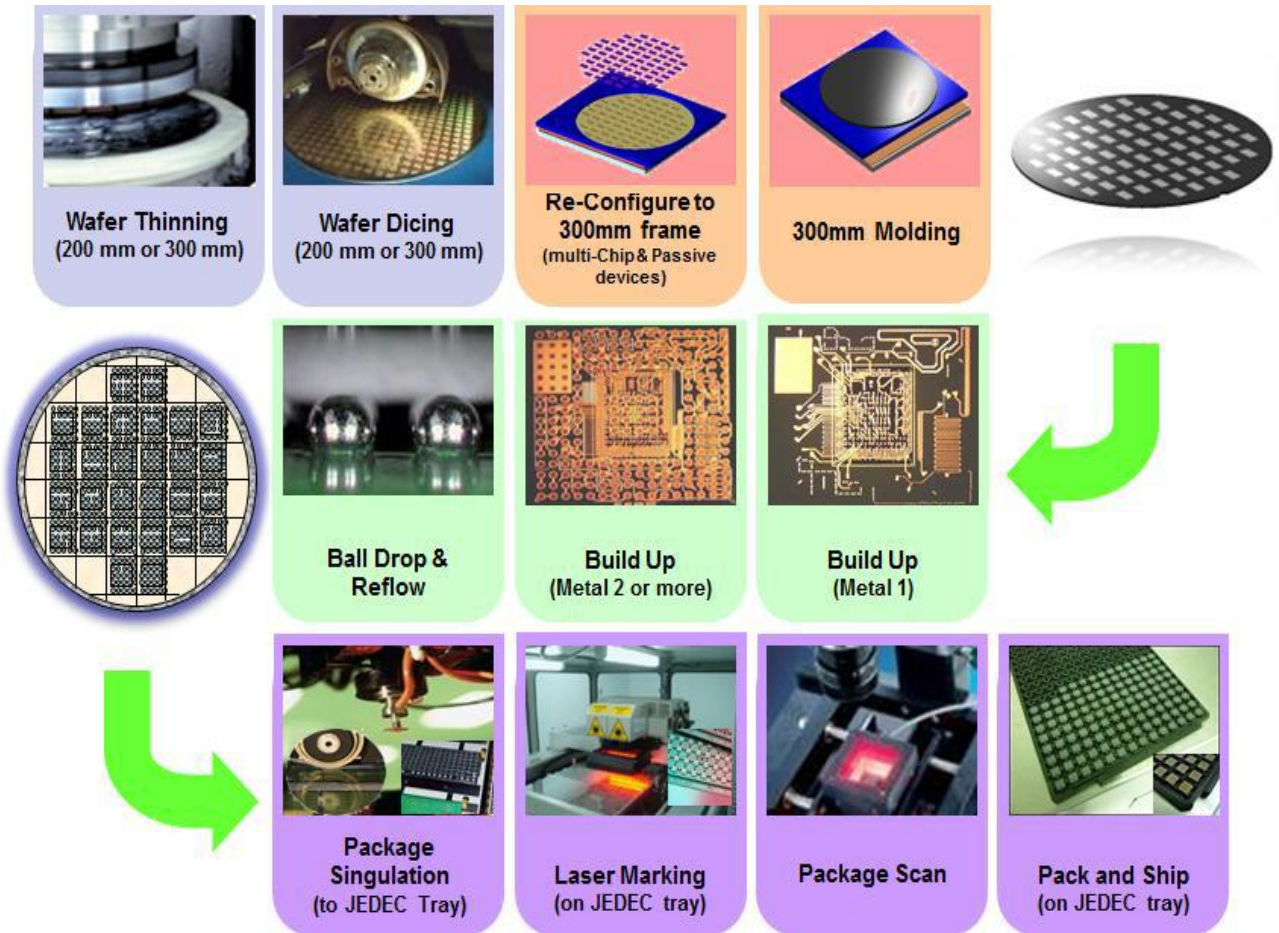
- 2016년부터 AP적용을 시작으로 FO-WLP 시장규모 급증
- 향후 신규 반도체 제품의 FO-WLP 적용에 따른 지속 성장 예상

Source: Yole Development, 2015

## FOWLIP의 공정

FOWLIP는 FAB공정이 완료된 웨이퍼를 백 그라인딩하고, 절삭하는 웨이퍼 준비 공정과 칩 형태로 잘려진 반도체 칩 중 정상 칩만 본딩하는 재분배 공정, 재분배된 반도체 칩을 패키지 내에서 전기적으로 연결해주는 재배선 공정 후 백-엔드 공정을 진행한다.

- ① **웨이퍼 준비** : FAB 공정 및 전기 테스트 완료된 웨이퍼를 백 그라인딩공정을 통해 원하는 두께로 분쇄하고, 칩 단위로 절삭한다. 분쇄 두께는 100~400um 수준으로 다양하며, 절삭은 블레이드 절삭 방식을 주로 사용한다.
- ② **재분배** : 절삭 완료된 칩 중 정상 칩만 새로운 형태의 기판에 실장한다. 해당 기판은 몰드 공정 이후 제거되어야 하기 때문에 기판과 칩을 부착해주는 접착 테잎은 TBDB (temporary bond and de-bond)가 가능해야 한다.
- ③ **몰드** : 재분배 완료된 기판을 EMC로 몰드하고 경화하는 과정을 말한다. 몰딩은 프린트 몰드 및 컴프레셔 몰드 방식을 주로 사용한다.
- ④ **기판 분리 & 2차 수지 경화** : 1차 수지 경화가 완료되면 기판을 제거하고, 2차 수지 경화를 진행한다.
- ⑤ **재배선** : 반도체 칩과 솔더 볼의 전기적 연결을 위해 절연층과 재배선 층을 반복적으로 형성한다. 절연층은 포토 공정으로 형성하고, 재배선 층은 플레이팅 공정으로 형성한다.
- ⑥ **솔더 범프 형성** : 패키지와 패키지 혹은 패키지와 PCB의 연결을 위해 돌기를 형성하는 공정이다. 솔더 마운트를 위해 플럭스를 도포하고 마운트 후 리플로우 공정을 진행한다.
- ⑦ **백 그라인드 & 절삭** : FOWLIP 웨이퍼의 형성공정이 완료되면 웨이퍼 두께를 고객이 요구하는 수준으로 백 그라인딩하고, 원하는 크기에 맞게 절삭을 진행한다. 진행방법은 웨이퍼 준비 공정과 같으나, 사용되는 그라인드 휠 및 블레이드의 재질이 다르다.
- ⑧ **레이저 마킹** : 패키지의 고유 식별번호를 부여하기 위해 웨이퍼 레벨 혹은 패키지 레벨에서 레이저 마킹한다.
- ⑨ **검사 & 전기 테스트** : 전체 공정이 완료되면 외관 및 전기적 특성에 대해 검사를 진행한다.
- ⑩ **분류** : 검사가 완료되면 고객이 요구하는 조건에 맞게 분류를 진행한다. 보통의 경우 JEDEC 트레이 혹은 테잎 & 릴이 사용된다.



#### 4. 기술분류체계

구분		대분류	중분류	소분류
Semiconductor Package	WLP(Wafer-Level Package)	Non-CSP(A)	FO-WLP(a)	POP(P)
			FO-PLP(b)	SiP(S)
	DLP(Die-Level Package)	CSP (Chip Scale Package) (B)	FC-BGA(c)	MCP(M)
				TSV(T)

## 5. 특허검색 및 유효데이터 추출

### 5-1) Key word 도출

반도체패키징	프로세스 과정	구조
반도체	Die placement	FOWLP
	Molding	SIP
		POP
	passivation	MCP
패키징	RDL	
		Through via

### 5-2) 검색식 작성

D/B	국가	검색식	검색건수	유효 특허
WIPS	한국	(반도체 OR (semiconductor) OR (H01L*).IPC.) AND (packa* OR 패키* OR (후 ADJ 공정) OR beol) AND (rdl	1167	401
	일본	OR 재배선 OR wafer OR 웨이퍼 OR mold* OR 몰드 OR	266	76
	중국	몰딩 OR 봉지* OR via OR 비아 OR die OR 다이 OR emc	1211	322
	미국	OR chip OR encapsulation OR (solder ADJ ball) OR (솔더 ADJ 볼) OR bump OR 범프 OR insula* OR 절연* OR interconnect OR (인터 ADJ 커넥트) OR 유전* OR dielec*		
	유럽	OR 부동태* OR passiv* OR trace OR 트레이스 OR routing OR 라우팅 OR spacer OR 스페이서 OR contact	2889	1007
	국제	OR 콘택 OR 컨택) AND (fowlp OR fan-out OR (팬 ADJ 아웃) OR (fan ADJ out) OR wlp OR (웨이퍼 ADJ 수준 ADJ 패키지) OR SIP OR (system-in-package) OR POP OR (package-on-package) OR MCP OR (multi ADJ2 chip ADJ package) OR TSV)	135	73
합계			273	117
합계			5941	1996

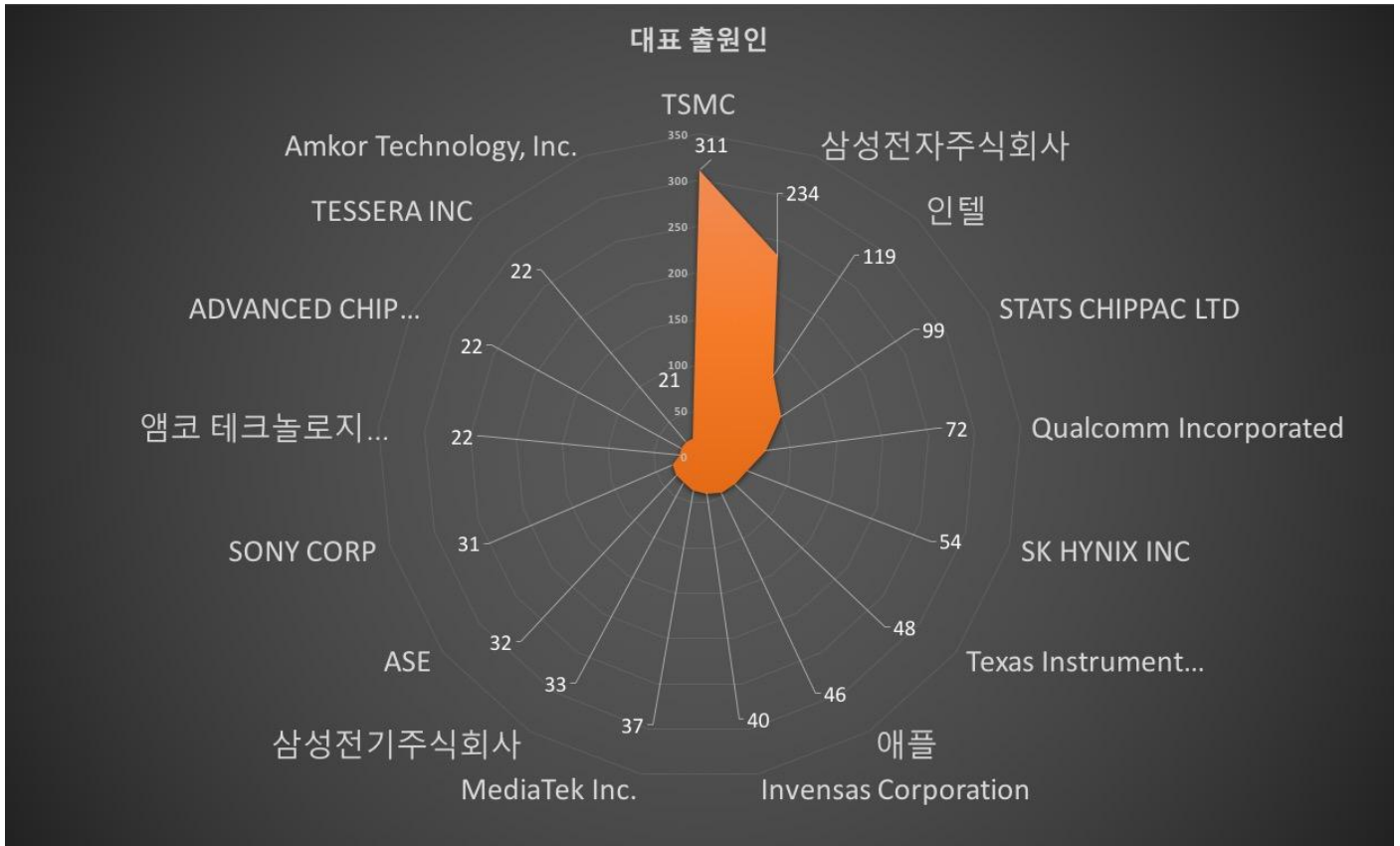
### 5-3) 유효데이터 선정

노이즈	출원 국가						합계
	한국	일본	중국	미국	유럽	국제	
특허검색	1167	266	1211	2889	135	273	5941
1차노이즈	중복특허제거 및 반도체관련 없는 특허 제외						
	827	197	924	1871	103	230	4152
2차노이즈	패키징 관련 없는 특허 제외						
	707	120	737	1521	94	186	3365
3차노이즈	기술분류에 일치하는 주요 특허만 추출						
	401	76	322	1007	73	117	1996
3차 노이즈제거까지 유효데이터 선정 및 정량분석							
Aa분류 선택 (Aa&M,P,T포함)	<b>문제에서 주어진 조건</b>  1. 몰드(mold)를 채용하지 않는 fan-in wafer level package(=wafer level chip scale package)는 분석대상에서 제외할 것 2. 몰드 구조를 포함하나, 재배선(redistribution layer)이 몰드층 위로 확장되지 않은 구조는 분석대상에서 제외할 것 3. PCB core 및 prepreg 를 사용하고 칩을 기판 내에 embedding 하여 PCB 공정을 통해 제작하는 embedded package 는 분석대상에서 제외할 것. 또한, 몰드를 사용하여 wafer 가 아닌 panel 형태로 만들고 재배선을 형성하는 FOPLP(Fan-out panel level package) 역시 분석대상에서 제외할 것.						
	87	13	54	346	22	23	545

### Ⅲ. 정량분석

#### 1. 주요 출원인 분석

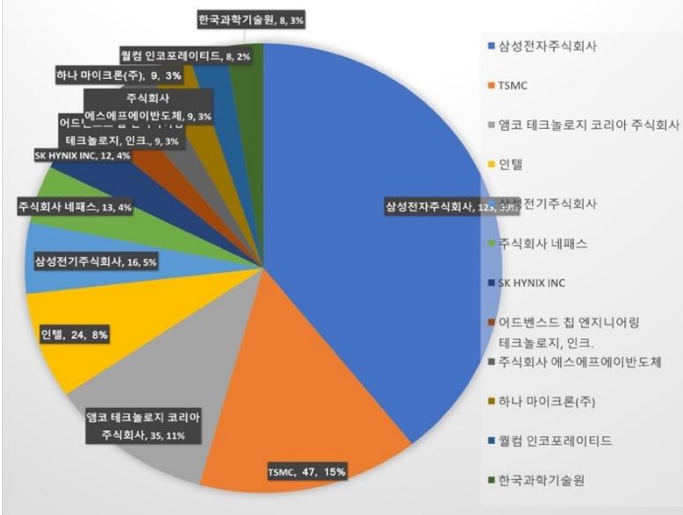
##### 1-1) 주요 출원인 분석



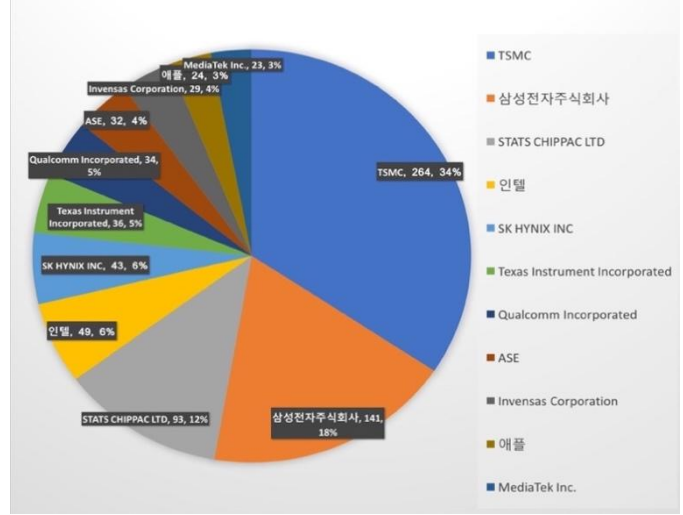
파운드리업체인 TSMC가 패키징분야의 특허를 압도적으로 많다는 것을 한눈에 알 수 있다. 또한 국내 IDM기업인 삼성전자와 SK하이닉스가 주요출원인에 포함된 것을 볼 수 있다. 이외에 기존의 패키징업체인 ASE, 엠코테크놀로지 회사 또한 주요 출원인으로 분류된 것을 볼 수 있다.

##### 1-2) 국가별 주요출원인 분석

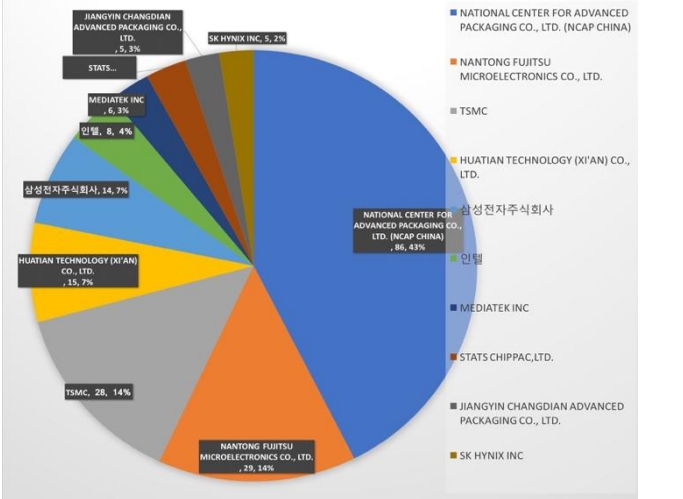
한국 상위출원인



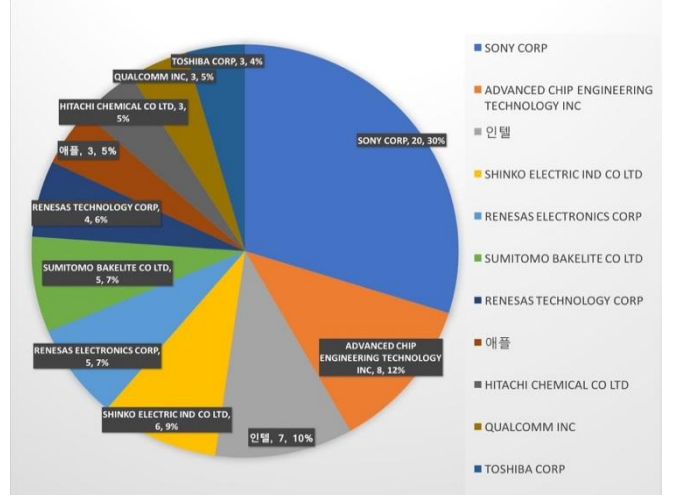
미국 상위출원인



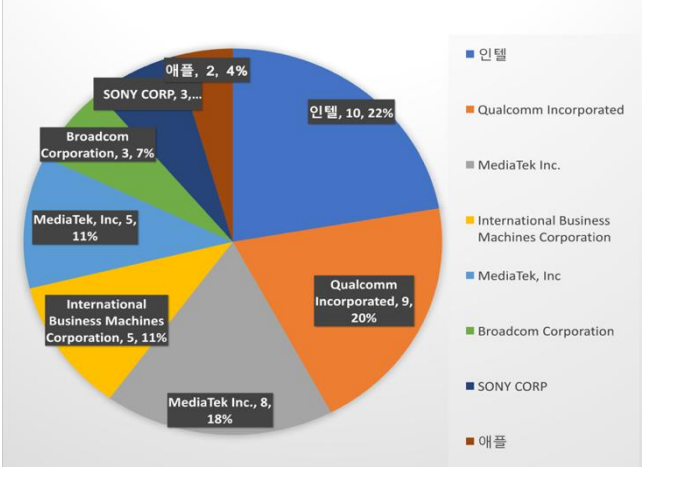
중국 상위출원인



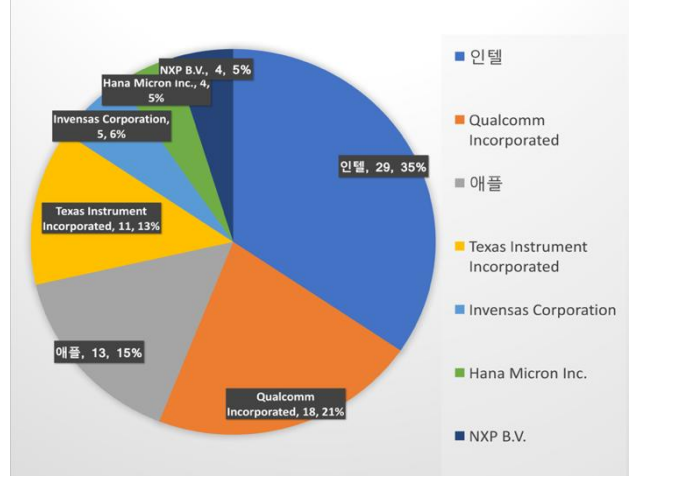
일본 상위출원인



유럽 상위출원인

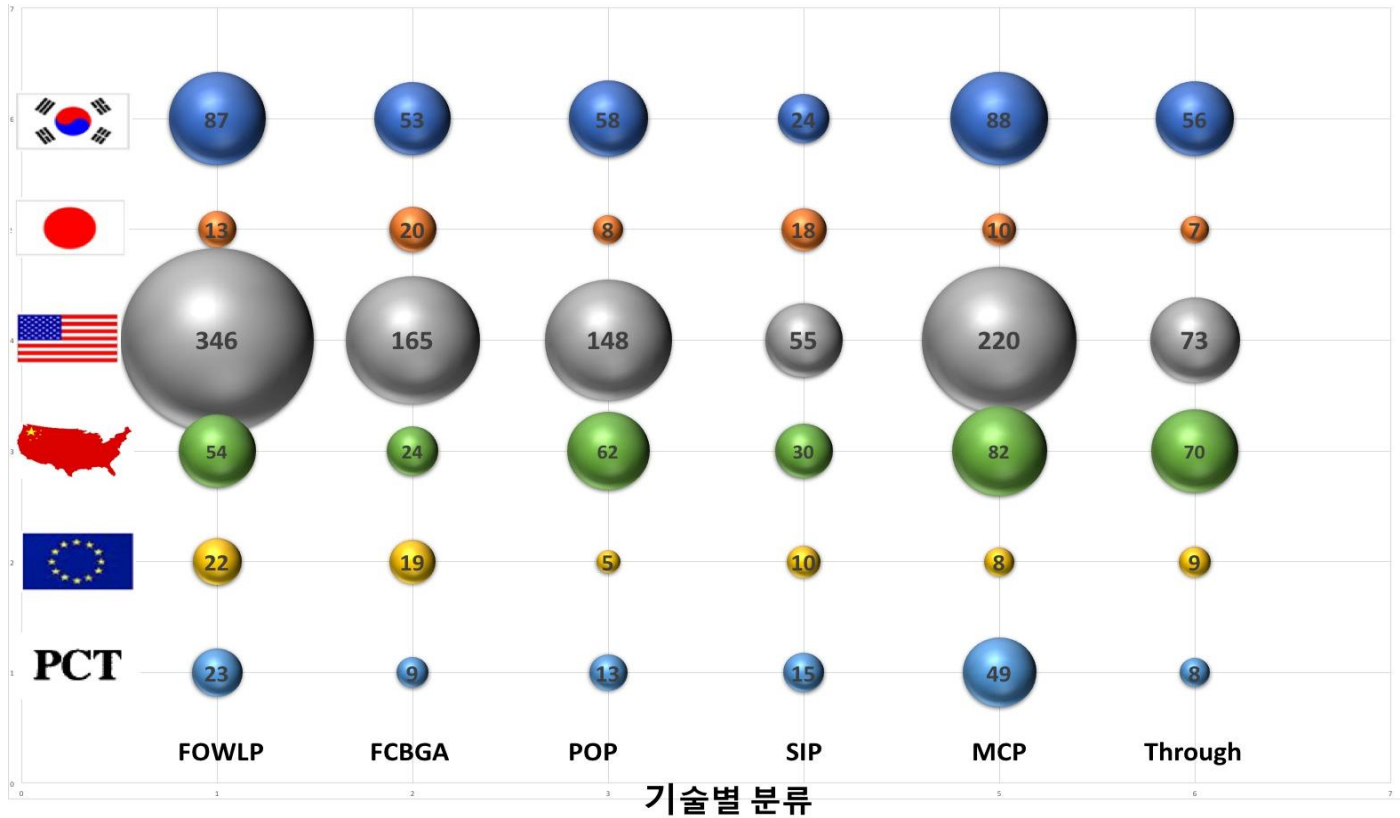


PCT 상위출원인

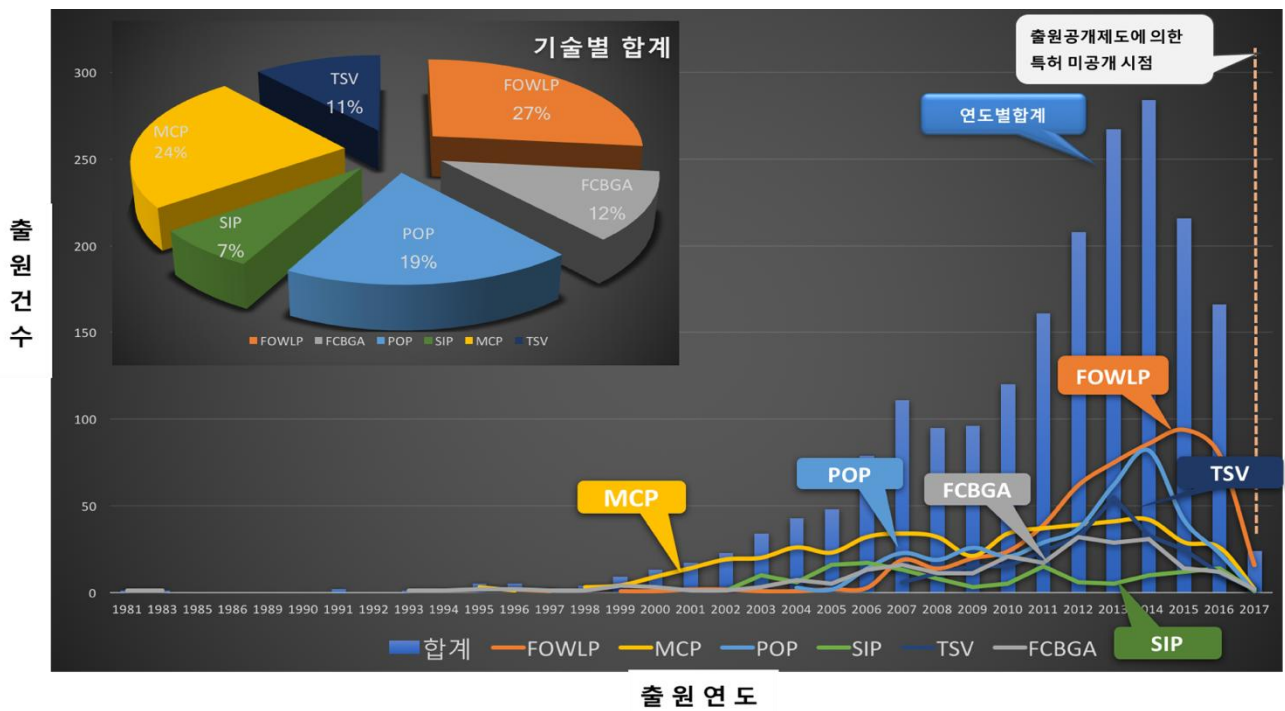


## 2. 기술별 특허분석

## 2-1) 국가별 기술분석



## 2-2) 연도별 기술분석



## IV. 핵심특허 및 정성분석

# 1. 핵심특허 선정

핵심특허 선정기준
특허부문
인용/피인용 건수
패밀리 특허수
문제에서 제시한 주요 출원인
기술부문
기존의 FOWLP 문제점 개선했는지 (전자파 차폐, 힘, 방열 문제 등)
기존의 FOWLP와 다른 구조(독창성)를 갖는지
FOWLP의 공정과정을 개선했는지
FOWLP의 응용(POP, SiP) 구조인 경우, 좋은 집적도를 가지는지

# 2. 핵심특허 및 논문 리스트

## 2-1) 핵심특허 리스트(49건)

국가	출원 번호	발명의 명칭	출원인	비고
14/918311	US	Wafer level shielding in multi-stacked fan out packages and methods of forming same	TSMC	EMI 실드 전자파차폐
US2016-016982	PCT	RADIO-FREQUENCY (RF) SHIELDING IN A FAN-OUT WAFER LEVEL PACKAGE (FOWLP)	QUALCOMM	컨덕터 실드 전자파 차폐
13/926938	US	3D Shielding Case and Methods for Forming the Same	TSMC	실드케이스 전자파 차폐
15/080001	US	Wafer level fan-out with electromagnetic shielding	Qorvo US,Inc.	실드 전자파 차폐
14/100678	US	Warpage management for fan-out mold packaged integrated circuit	Xilinx, Inc.	힘 보강층 힘방지
15/167662	US	Semiconductor Device and Method of Forming Supporting Layer Over Semiconductor Die in Thin Fan-Out Wafer Level Chip Scale Package	STATS ChipPAC Pte. Ltd.	지탱층 힘 방지
13/173327	US	Bumpless build-up layer package warpage reduction	Intel	(BBUL-C) 마이크로

			Corporation	전자 패키지- 휨방지
14/720844	US	FAN-OUT WAFER LEVEL PACKAGE AND FABRICATION METHOD THEREOF	INOTERA MEMORIES	warpage control
14/475169	US	Contact pad for semiconductor device	TSMC	더미패드 휨방지
13/604239	US	Fan-out package comprising bulk metal	TSMC	벌크금속 휨방지
10-2015-0165023	KR	더미 다이들을 갖는 팬-아웃 적층 시스템 인 패키지(S I P) 및 그 제조 방법	TSMC	더미다이 휨방지
13/488276	US	Reducing warpage for fan-out wafer level packaging	STMicroelectronicsPTELtd.	보호층 휨방지
13/963384	US	Wafer level fan-out package with a fiducial die	Amkor Technology	기준다이, 패턴 휨방지
14/660840	US	Semiconductor Device and Method of Forming POP Semiconductor Device with RDL Over Top Package	STATS ChipPAC, Ltd.	열 분산기 방열
14/660840	US	Semiconductor Device and Method of Forming POP Semiconductor Device with RDL Over Top Package	STATS ChipPAC, Ltd.	히트 스프레더 방열
11/828741	US	Wafer level system in package and fabrication method thereof	NEPES Corporation	열방사 플레이트 방열
14/291547	US	Microelectronic packages having sidewall-deposited heat spreader structures and methods for the fabrication thereof	Freescale	열 분산기 방열
14/992178	US	Multi-chip package with interconnects extending through logic chip	Invensas Corporation	열 분산기 방열
13/475674	US	PACKAGING WITH INTERPOSER FRAME	TSMC	도전성 열
15/042225	US	POP structures with dams encircling air gaps and methods for forming the same	TSMC	에어갭, 댐 방열
15/332489	US	Package-on-Package Method	TSMC	프로텍션막 구조개선
10-2014-0192010	KR	반도체 디바이스를 패키징하는 방법 및 장치	TSMC	PPI 패드 구조개선
13/091744	US	REINFORCED FAN-OUT WAFER-LEVEL PACKAGE	TESSERA RESEARCH	보강층 구조개선
14/316617	US	Advanced Structure for Info Wafer Warpage Reduction	TSMC	나노필러재료 휨 방지
13/790739	US	Warpage reduction and adhesion improvement of semiconductor die package	TSMC	응축성 절연층 휨 방지
13/826835	US	Warpage control of semiconductor die package	TSMC	압축성 유전체층
14/918256	US	Integrated fan-out (InFO) package structures and methods of forming same	TSMC	부분몰딩 방열,휨
13/778883	US	Peripheral electrical connection of package on package	TSMC	관통측벽비아 휨

10-2012-0056341	KR	반도체 패키지, 그 제조 방법 및 패키지 온 패키지	NEPES Corporation	미리 절연 기판에 관통홀 형성 및 충전 힘
10-2015-0081778	KR	웨이퍼 레벨 패키지의 제조 방법	주식회사 에스에프에이반도체	TEV, 리패시베이션층 힘방지
15/215195	US	Integrated fan-out structure with guiding trenches in buffer layer	TSMC	가이딩 트렌치 방열
10-2010-0038470	KR	팬 아웃형 웨이퍼 레벨 패키지의 제조 장치	도레이	점착테이프 공정개선
10-2010-0096618	KR	반도체 패키지 제조 방법	엠코테크놀로지	AB 필름부재 및 레이저 가공 공정을 이용 공정단축
10-2013-0143761	KR	전자부품 패키지의 제조방법	삼성전기	PLP 공정 개선
15/192310	US	Die package with Openings Surrounding End-portions of Through Package Vias (TPVs) and Package on Package (PoP) Using the Die Package	TSMC	오픈형 말단 구조개선
2016-0041214	KR	3 차원 팬 아웃 패키징 메커니즘	TSMC	몰딩접속구조 구조개선
2016-0008305	KR	POP 에서 개구부 크기를 조정함으로써 균열 감소	TSMC	비아사용 구조개선
10-2007-0082890	KR	반도체 칩 패키지, 그 제조 방법 및 이를 포함하는 전자 소자	삼성전자	슬더볼 몰딩 구조개선
10-2016-7036601	KR	동축 상호접속부를 포함하는 통합 디바이스	퀄컴 인코포레이티드	POP 동축 상호접속부 구조개선
12/976903	US	Multi-chip package having a substrate with a plurality of vertically embedded die and a process of forming the same	Intel Corporation	MCP 구조개선
11/456141	US	Fan out type wafer level package structure and method of the same	Advanced Chip Engineering Technology Inc.	다이 넓히기 구조개선
13/405108	US	Package-on-package assembly with wire bond vias	Invensas Corporation	POP 구조개선
12/691660	US	Wafer-level semiconductor device packages with three-dimensional fan-out and manufacturing methods thereof	ASE Inc.	인터넥트 구조개선
15/378898	US	STRUCTURE AND METHOD OF FAN-OUT STACKED PACKAGES	POWERTECH TECHNOLOGY INC.	스택구조 구조개선
10-2016-0131170	KR	팬-아웃 메모리 패키지를 포함하는 패키지 온 패키지 타입의 반도체 장치	SK hynix	POP 구조개선
9646946	US	Fan-out wafer-level packaging using metal foil lamination	Invensas Corporation	금속 호일 라미네이션을 사용 힘 방지
13/779249	US	Semiconductor packages with thermal-enhanced	ASE Inc.	열 소산과 EMI 차폐

		conformal shielding and related methods		를 제공
15/167830	US	Semiconductor Device and Method of Forming an Embedded SOP Fan-Out Package	STATS ChipPAC Pte. Ltd.	휘어짐균형층-SOP 힘
14/179202	US	Inductor design on floating UBM balls for wafer level package (WLP)	QUALCOMM	언더 범프 금속화 (UBM) 층 인덕터 설계

## 2-2) 논문 (비특허) 리스트

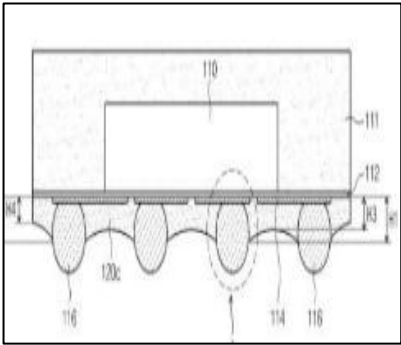
연도	논문명
2009년 9월	3D IC products using TSV for mobile phone applications: An industrial perspective
2012년 7월	innovative fan-out wafer level package using lamination process and adhered Si wafer on the backside
2013년 3월	Through mold via technology for multi-sensor stacking
2013년 11월	Implementation of a fully molded fan-out packaging technology
2014년 6월	Newly developed ultra thin fan-out wafer level package for PoP usage
2014년 7월	Inductive-Coupling DRAM/SoC Interface Using Overlapping Coils with
2014년 11월	Cost and yield analysis of multi-die packaging using 2.5D technology compared to fan-out wafer level packaging
2015년 1월	Novel exposure system for FOWLP and MCM photolithography process
2015년 3월	Comparison of FOWLP vs QFN package from Thermal Aspect
2015년 7월	Thermally Enhanced FOWLP Development of a Power-eWLB Demonstrator

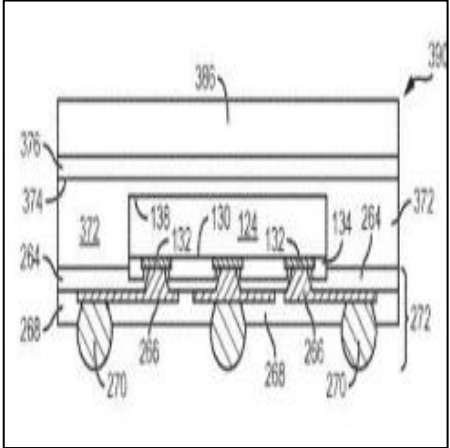
2016년 2월	Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics
2016년 2월	Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics
2016년 2월	Material and Process Trends for Moving From FOWLP to FOPLP
2016년 4월	Opportunities of Fan-out Wafer Level Packaging (FOWLP) for RF applications
2016년 8월	Development of High Density Fan Out Wafer Level Package (HD FOWLP) With Multi-layer Fine Pitch RDL for Mobile Applications
2016년 8월	Versatile Metrology Platform for FOWLP PoP Manufacturing Process Control
2016년 9월	Evaluation of Fan-out Wafer Level Package strength by three-point bending testing
2016년 9월	Radio-frequency (RF) shielding in fan-out wafer level package (FOWLP)
2016년 10월	Advanced Packaging Lithography and Inspection solutions for next generation FOWLP-FOPLP
2016년 10월	Advanced packaging lithography and inspection solutions for next generation FOWLP-FOPLP processing
2016년 10월	Experimental Study on 28nm Chip/Package Interactions in eWLB (Embedded Wafer Level BGA) Fan-Out Wafer Level Packages
2016년 10월	FOWLP Technology eWLB – Enabler for Packaging of IoT/IoE Modules
2016년 12월	Merging of packaging technologies for highly integrated embedded modules
2017년 1월	Feasibility Investigation of Amorphous Silicon as Release Layer in Temporary Bonding for 3-D Integration and FOWLP Scheme
2017년 2월	Evaluation on multiple layer PBO-based Cu RDL process for Fan-Out Wafer Level Packaging (FOWLP)
2017년 2월	Molding process development for high density I/Os Fan-Out Wafer Level Package (FOWLP) with fine pitch RDL
2017년 2월	FOWLP electrical performances
2017년 3월	Development of Chip-to-Wafer (C2W) bonding process for high density I/Os Fan-Out Wafer Level Package (FOWLP)
2017년 5월	Drop Impact Reliability Test and Failure Analysis for Large Size High Density FOWLP Package on Package

2017년 5월	Effect of high temperature storage on fan-out wafer level package strength
2017년 5월	Latest material technologies for Fan-Out Wafer Level Package
2017년 6월	<i>FOWLP Technology as Wafer Level System in Packaging (SiP) Solution</i>
2017년 7월	<i>Epoxy molding compound effect on fan-out wafer level package strength during post-mold thermal process</i>
2017년 8월	Development of Novel High Density System Integration Solutions in FOWLP – Complex and Thin Wafer-Level SiP and Wafer-Level 3D Packages
2017년 8월	Ultra-Low Temperature FOWLP Process for the Embedding of Low Thermal Budget Sensors and Components using SU-8 as dielectric
2017년 8월	Passive Devices Fabrication on FOWLP and Characterization for RF Applications
2017년 8월	Ultra-Low Temperature FOWLP Process for the Embedding of Low Thermal Budget Sensors and Components Using SU-8 as Dielectric
2017년 8월	Process Development and Material Characteristics of TSV-Less Interconnection Technology for FOWLP

### 3. 정성분석

### 3-1) 핵심특허 권리분석 (부록 첨부)

출원번호	출원일자	출원인	국가	법적상태
10-2007-0082890	2007.08.17	삼성전자주식회사	KR	등록
<b>발명의 명칭</b>	반도체 칩 패키지, 그 제조 방법 및 이를 포함하는 전자소자			
<b>요약</b>	<p>본딩 패드들을 구비하는 활성면, 활성면에 대향하는 배면 및 측면을 갖는 반도체 칩, 반도체 칩의 배면 및 측면을 둘러싸는 몰딩 확장부, 본딩 패드들과 전기적으로 연결되면서 몰딩 확장부로 연장된 재배선 패턴들, 재배선 패턴들 상에 제공된 범프용 솔더 볼들, 및 반도체 칩의 활성면 및 몰딩 확장부를 덮으면서 범프용 솔더 볼들 각각의 일부가 노출되도록 제공된 몰딩층을 포함한다. 서로 인접하는 범프용 솔더 볼들 사이의 몰딩층은 메니스커스 요면을 갖고, 범프용 솔더 볼들은 활성면과 평행하면서 최대 직경을 갖는 단면을 포함하고, 활성면으로부터 메니스커스 요면의 범프용 솔더 볼과 접하는 가장자리까지의 높이는 범프용 솔더 볼의 단면으로부터 아래, 위로 범프용 솔더 볼의 최대 직경의 1/7 길이 이내인 것을 특징으로 한다.</p> 			
<b>대표청구항</b>	<p>본딩 패드들을 구비하는 제 1 면, 상기 제 1 면에 대향하는 제 2 면 및 측면을 갖는 반도체 칩;상기 반도체 칩의 상기 제 2 면 및 상기 측면을 둘러싸는 몰딩 확장부;상기 본딩 패드들과 전기적으로 연결되면서, 상기 본딩 패드들로부터 상기 몰딩 확장부로 연장된 재배선 패턴들;상기 재배선 패턴들 상에 제공된 범프용 솔더 볼들; 및상기 반도체 칩의 상기 제 1 면 및 상기 몰딩 확장부를 덮으면서, 상기 범프용 솔더 볼들 각각의 일부가 노출되도록 제공된 몰딩층을 포함하되, 서로 인접하는 상기 범프용 솔더 볼들 사이의 상기 몰딩층은 메니스커스 요면을 갖고, 상기 범프용 솔더 볼들은 상기 제 1 면과 평행하면서 최대 직경을 갖는 단면을 포함하고, 상기 제 1 면으로부터 상기 메니스커스 요면의 상기 범프용 솔더 볼과 접하는 가장자리까지의 높이는 상기 최대 직경을 갖는 단면으로부터 상기 최대 직경의 1/7 길이 이내인 것을 특징으로 하는 패키지.</p>			
<b>특허적 분석</b>	<p>인용 2 건 피인용 17 건으로 피인용건수가 많은것으로 보아 이 특허를 이용해 많은 특허가 출원되었을것이며, 패밀리특허는 7 건중 5 개 국가에 출원되어 넓은 시장성을 대비한 특허라고 볼 수 있다.</p>			
<b>기술적 분석</b>	<p>솔더 볼들 각각의 일부를 몰딩층을 포함함으로써, 솔더 접합 신뢰성이 향상될 수 있다. 이에 따라, 품질이 우수한 전자 소자가 제공될 수 있다.</p>			

출원번호	출원일자	출원인	국가	법적상태
15/167662	2016.05.27	STATS ChipPAC Pte. Ltd.	US	심사중
<b>발명의 명칭</b>	Semiconductor Device and Method of Forming Supporting Layer Over Semiconductor Die in Thin Fan-Out Wafer Level Chip Scale Package			
<b>요약</b>	<p>A semiconductor device includes a semiconductor die. An encapsulant is formed around the semiconductor die. A build-up interconnect structure is formed over a first surface of the semiconductor die and encapsulant. A first supporting layer is formed over a second surface of the semiconductor die as a supporting substrate or silicon wafer disposed opposite the build-up interconnect structure.</p> <p>반도체 장치는 반도체 다이를 포함한다. 캡슐로 싸인 것은 반도체 다이 주위에 형성된다. 전압 설정 인터커넥트 구조는 반도체 다이와 캡슐로 싸인 것의 1 표면을 통한 형성된다. 제 1 지탱 층은 전압 설정 상호 접속 구조물 반대편에 배치된 지지 기판 또는 실리콘 웨이퍼로서 반도체 다이의 2 표면을 통한 형성된다.</p>			
<b>대표청구항</b>	<p>1. A method of making a semiconductor device, comprising:          providing a first supporting layer with an opening in the first supporting layer;          disposing a semiconductor die within the opening of the first supporting layer;          and depositing an encapsulant over the semiconductor die and first supporting layer.</p> <p>1. 다음을 포함하는 반도체 장치를 만드는 방법 제 1 지탱 층에서 제 1 지탱 층을 제공하는 것 ; 제 1 지탱 층의 개폐 내에 반도체 다이를 배치하는 것 ; 그리고 반도체 다이와 제 1 지탱 층을 통한 캡슐로 싸인 것을 증착시키는 것.</p>			
<b>특허적 분석</b>	<p>이 특허는 인용/피인용 수가 없어 기존의 특허와는 차별성이 있으며 아직 다른 특허들에게도 인용되지 않은 최신특허라고 볼 수 있다. 또한 패밀리 특허는 7 건으로 4 개의 국가의 출원해 넓은 시장을 위한 특허라고 볼 수 있다.</p>			
<b>기술적 분석</b>	<p>지탱층이 몰딩층 위에 추가 되어 두께, CTE, 기계적 강도, 열특성 그리고 양쪽 휘어짐 제어를 제공하며 패키징 약함의 문제를 해결한다.</p>			

출원번호	출원일자	출원인	국가	법적상태
------	------	-----	----	------

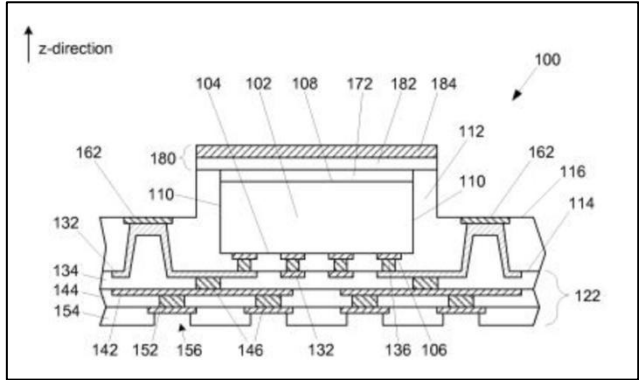
13/173327	2011.06.30	Intel Corporation	US	등록
-----------	------------	-------------------	----	----

**발명의 명칭** Bumpless build-up layer package warpage reduction

**요약**

The present disclosure relates to the field of fabricating microelectronic packages and the fabrication thereof, wherein a microelectronic device may be formed within a bumpless build-up layercoreless(BBUL-C) microelectronic package and wherein a warpage control structure may be disposed on a back surface of the microelectronic device. The warpage control structure may be a layered structure comprising at least one layer of high coefficient of thermal expansion material, including but not limited to a filled epoxy material, and at least one high elastic modulus material layer, such as a metal layer.

본 명세는 여기에서 마이크로 전자 소자가 범프리스 빌드업 층 코어리스 (BBUL-C) 마이크로 전자 패키지 내에 형성될 수 있고 휘어짐 제어 구조가 마이크로 전자 장치의 후면에 배치될 수 있는 여기에서 마이크로 전자 패키지와 그것의 제작을 제조하는 분야와 관련된다. 휘어짐 제어 구조가 높은 열 확장 계수 재료의 적어도 하나의 층을 포함해 층상 구조일 수 있다



**대표청구항**

1. 다음을 포함해 마이크로 전자 패키지 : 활성 표면, 반대 후면과 적어도 하나의 측면을 가재 마이크로 전자 장치 ;마이크로 전자 장치 후면에 인접한 휘어짐 제어 구조, 여기에서 휘어짐 제어 구조가 높은 열 팽창을 물질층과 높은 탄성률 소재 층을 포함한다 ; 여기에서 캡슐화 재료가 표면 제 1 인 것을 포함한 최소한 하나 마이크로 전자 장치 측면의 마이크로 전자 장치 활성 표면과 적어도 하나의 부분의 부분과 접촉해 캡슐화 재료 가까운 인캡슐레이션 물질 제 1 표면을 오폭징하는 마이크로 전자 장치 활성 표면과 제 2 표면 ; 캡슐화 재료 제 2 표면에서 package-on-package 패드.

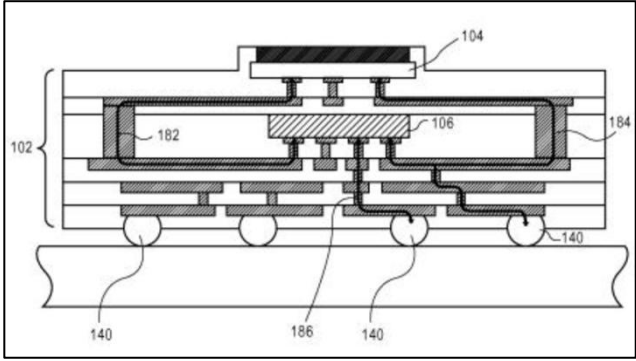
**특허적 분석**

US 14/465325 특허의 분할특허로서, 인용건수 107 건, 피인용건수 16 건이다. 패밀리특허는 9 개국가에 19 건을 출원한 것으로 보아 다른 특허보다 넓은 시장성을 대비하고 있다고 본다.

**기술적 분석**

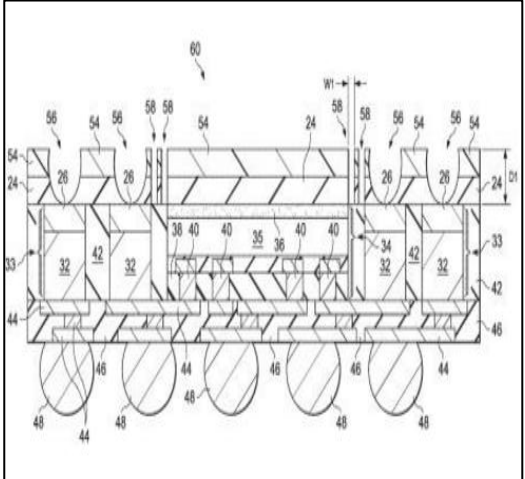
패키징 몰딩외부에 힘 제어 구조물을 추가한 특허이다. 힘제어 구조물은 실온(약 섭씨 25도)과 리플로우 온도(reflow temperature)(예를 들어, 약 섭씨 260 도) 양자 모두에서 범프리스 빌드업층 코어리스 마이크로 전자 패키지의 힘을 감소시키는데 효과적일 수 있다.

출원번호	출원일자	출원인	국가	법적상태
12/976903	2010.12.22	Intel Corporation	US	등록

<b>발명의 명칭</b>	Bumpless build-up layer package warpage reduction	
<b>요약</b>	<p>An apparatus includes a substrate having a land side having a plurality of contact pads and a die side opposite the land side. The apparatus includes a first die and a second die wherein the first die and second die are embedded within the substrate such that the second die is located between the first die and the land side of the substrate.</p> <p>장치는 랜드 사이드 반대편에 복수의 콘택 패드와 다이 측을 가재 랜드 사이드를 가재 기판을 포함한다. 장치는 제 1 다이와 제 2 다이가 제 2 다이가 기판의 제 1 다이와 랜드 사이드 사이에 위치 확인하도록 기판 내에 삽입된 제 1 다이와 제 2 다이를 포함한다.</p>	
<b>대표청구항</b>	<p>1. 다음을 포함해 장치 : 다이 측 반대편에 다이 측과 랜드 사이드를 가재 기판 상기 랜드 사이드 복수의 접촉을 가지고 패딩한다 ; 활성 표면 반대편에 제 1 액티브 표면과 후면을 가재 제 1 다이 ; 제 1 절연층 제조 방법에 있어서, 제 1 다이는 제 1 절연층 제조 방법 내에 삽입된다 ; 제 1 다이의 활성 표면을 가진 전기적 접촉에서 제 1 절연 막 부분에서 제 1 비아 ; 상기 제 1 비아를 가진 상기 제 1 도전성 라인이 연락을 취한 상기 제 1 절연층 제조 방법상에서 제 1 도전성 라인을 구비한 우선 제어 층 ; 활성 표면 반대편에 활성 표면과 후면을 가재 제 2 다이 ; 여기에서 상기 제 1 다이와 상기 제 2 다이가 상기 제 2 다이가 상기 기판의 상기 제 1 다이와 상기 랜드 사이드 사이에 위치 확인하도록 상기 기판에서의 삽입되고, 그리고 여기에서 상기 기판의 상기 랜드 사이드를 향한 상기 제 2 나사면의 상기 제 1 다이와 상기 활성 표면의 상기 활성 표면 여기에서 제 1 다이가 상기 다수의 콘택 패드의 하나에 직접적으로 전기적으로 연결된다.</p>	
<b>특허적 분석</b>	<p>인용 10 건, 피인용 48 건, 피인용건수가 많은 것으로 보아 이 특허를 인용해 많은 특허가 출원되었을 것으로 본다. 또한, 패밀리특허 8 건으로 여러 국가에 출원되어 넓은 시장성을 가지고 있다.</p>	
<b>기술적 분석</b>	<p>저온 범프리스 빌드업 층 (BBUL) 공정이 사용되고, 평면 멀티 칩 패키지의 제작을 가능하게 하는 내장된 다이스를 포함한다. 또한, 그것에 의한 기판 사이에 열 확장 계수 (CTE) 부정합의 영향을 줄이고자 한다.</p>	





출원번호	출원일자	출원인	국가	법적상태
------	------	-----	----	------



15/215195	2016.07.20	TSMC	US	등록
<b>발명의 명칭</b>          <b>요약</b>	<p>Integrated fan-out structure with guiding trenches in buffer layer</p> <p>A bottom package includes a molding compound, a buffer layer over and contacting the molding compound, and a through-via penetrating through the molding compound. A device die is molded in the molding compound. A guiding trench extends from a top surface of the buffer layer into the buffer layer, wherein the guiding trench is misaligned with the device die.</p> <p>하부 패키지가 몰딩 화합물을 포함하고, 버퍼 층의 상의 그리고 몰딩 화합물 및 몰딩 화합물을 통하여 관통-경유하여 꿰뚫는과 접촉 한다. 장치 형판은 몰딩 화합물에서 몰딩된다. 이끄는 트렌치는 버퍼 층로 버퍼 층의 상단 표면으로부터 연장되며, 여기에서 이끄는 트렌치는 상기 디바이스 다이와 잘못 정렬한다.</p> 			
<b>대표청구항</b>	<p>1. 다음을 포함하는 방법 : 다음을 포함하는 제 1 패키징을 형성하는 것 : 유전체 버퍼 층위에 스루 비아를 형성하는 것 ; 유전체 버퍼 층위에 장치 형판을 위치시키는 것 ; 상기 디바이스 다이를 캡슐화한다 그리고 관통-경유하여 캡슐화 재료에서 ; 노출하기 위해 캡슐화 재료를 평면화한다 그 스루 비아 그리고 상기 디바이스 다이의 금속 필라 ; 그리고 위에 놓고 전기적으로 연결되는 재배열 라인을 형성한다 그 스루 비아 그리고 금속 필라 ; 제 1 패키징 상측 하방을 플립시키는 것</p>			
<b>특허적 분석</b>	<p>본 특허는 TSMC 에서 출원한 것으로 5 개국의 패밀리 특허를 보유하고 있으며 인용수는 33 건이고 피 인용수는 0 건이다. TSMC 는 패키징에 대한 특허를 많이 가지고 있어 주요 출원인으로 판단하였고 패밀리 특허도 5 개국에 보유하고 있어 특허적 분석 측면에서 핵심특허로 선정하게 되었다.</p>			
<b>기술적 분석</b>	<p>POP 에서 상,하부 다이 사이의 에어 갭이 형성되면 하부 패키지의 방열효과가 향상되는데, 아무런 조치 없이 에어 갭 형성공정을 진행하면 빈 공간의 형성이 비 균일해지게 된다. 가이드 트렌치를 형성하면 이를 제어할 수 있다.이를 통해 제어 가능하고 균일한 에어 갭의 형성을 통한 높은 열 절연 능력 구현할 수 있다. 패키지 내의 구조 변경(가이드 트렌치 형성)을 통해 방열효과를 증가시키는 특징 때문에 본 특허를 선정하였다.</p>			

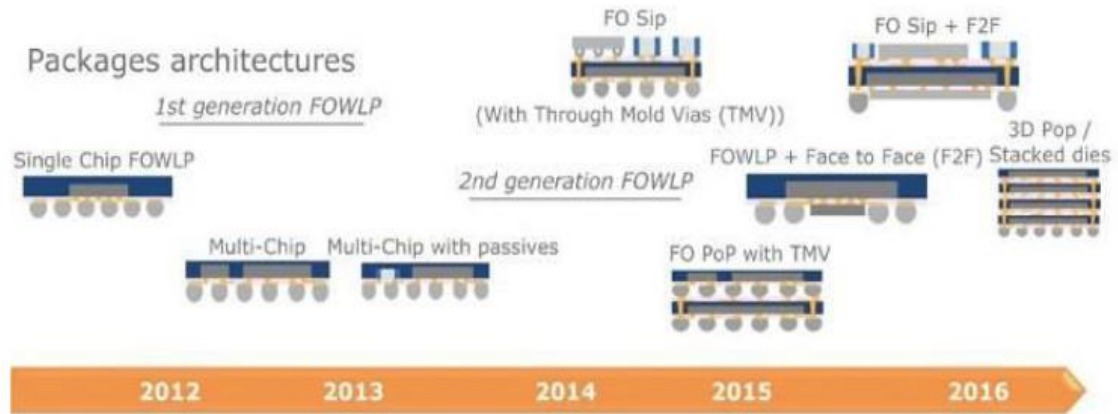
### 3-2) 핵심특허 출원인 분석

주요 출원인	핵심 특허	코멘트
	18건	TSMC는 FOWLP 핵심특허에 가장 많은 건수를 기록했다. 패키지 전반에 걸쳐 다양한 특허를 출원하였다. 전자파 차폐, 뒤틀림 방지, 방열 효과 증진 등의 패키지의 문제점 해결 특허부터 프로텍션 막 증착을 통한 접속구조 강화, PPI패드를 통한 솔더 플럭스 제어 향상 등의 패키징 구조 개선 특허에도 많은 건수를 기록하였다. 반면에 패키지 공정과정의 변화 또는 개선에 대한 부분에서는 독창적인 특허가 없어서 핵심 특허에서는 제외되었다.
	1건	무선 주파수 시스템 및 솔루션을 설계, 제조 및 공급하는 미국 반도체 회사로 EMI 차폐특허를 보유하고 있다. 최근 EMI차폐기술의 중요성이 높아지면서 핵심특허로 선정하였다.
	2건	반도체의 설계와 제조를 하는 미국의 다국적 기업이다. 세계에서 가장 큰 반도체 제조사로 시스템 반도체 시장 점유율이 가장 높다. 선정된 핵심특허 모두 많은 패밀리특허 보유하고 있어서 특허적인면에서 높은 점수를 부여했다.
	2건	미국 반도체 제품 패키징 및 테스트 서비스 제공 업체로 ASE다음으로 시장점유율을 가지고 있는 업체이다. 몰딩내부 기준다이를 이용한 힘방지 특허를 보유하고 있어서 핵심특허로 선정하였다. 또다른 특허로, 공정수를 단축할 수 있는 공정과정 개선의 관한 특허를 가지고 있어 핵심 특허로 선정했다.
	2건	국내 패키징 업체(OSAT)로 FOWLP기술과 FOPLP를 상용화하였다. 그에 맞춰 FOWLP의 문제점인 열, 힘방지 해결 특허를 보유하고 있다.
	1건	2015년 기준 팹리스 시장에서 가장 높은 매출을 달성하고있는 기업으로, POP 구조와 같은 구조 개선 특허를 보유하고 있으며 동축상호부를 이용한 특허를 핵심특허로 선정하였다.
	1건	Tessera 기업이 설립하여 반도체 패키징 및 상호 연결 솔루션을 전문으로 하고 있다. 금속 호일 라미네이션을 사용함으로써 힘문제를 해결하는 특허를 보유하고 있어서 핵심특허로 선정하였다.
	1건	전신 STS반도체로 기업이자 국내최대패키징기업이다. 주로 메모리반도체 패키징 및 테스트를 담당하고 있다. 고부가 패키징 기술인 16단 적층 등 선진기업 수준의 기술력을 보유하고 있으며, SFA반도체의 적층형 패키지 핵심특허를 선정하였다.
	2건	외주 반도체 패키지 테스트(OSAT) 기업 중 가장 큰 시장 점유율을 차지하고 있다. 핵심특허 EMI 차폐특허와 인터넥트 구조를 개선한 특허를 보유하고 있다.
	3건	중국기업인 JCET가 stats chipPAC을 인수하여 패키징 시장의 점유율을 높이고 있는 상황이다.
	2건	2014년 기준 주요 파운드리 기업으로 선정되었으며, FOWLP의 방열 문제 및 솔더볼 개선과 같은 패키징 구조개선에 관한 특허를 가지고 있어 핵심특허로 선정했다.

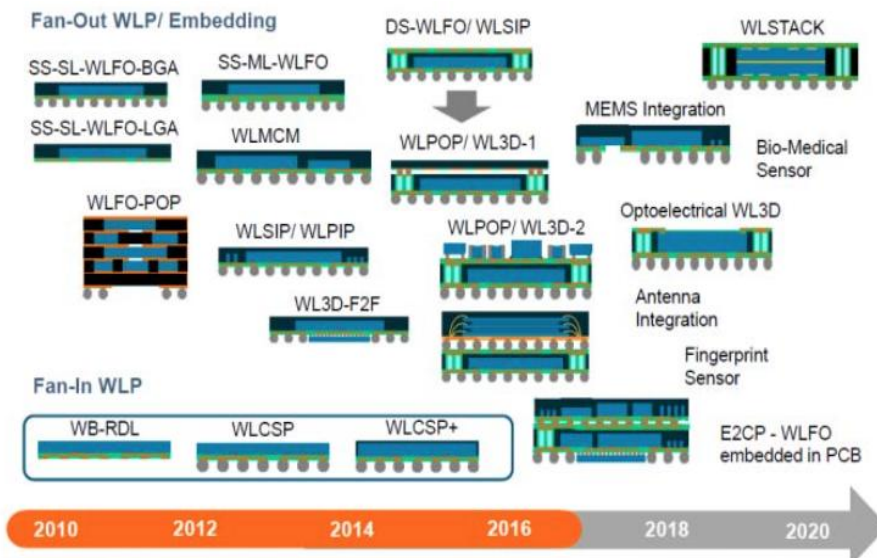
	2건	2014년 기준 주요 시스템반도체 기업으로 선정되었으며 FOWLFP의 문제점 중 힘과 방열의 문제에 대한 특허를 갖고 있어 핵심특허로 선정했다.
	1건	패키징의 휘어짐 문제에 대한 핵심특허를 갖고 있으며, 미국의 주요 팹리스 기업이다.
	1건	인텔 및 삼성 전자를 비롯한 수많은 반도체 제조업체에 칩 패키징 기술을 라이선스한 기업으로서 열팽창의 해결방안으로 보강층에 대한 특허를 갖고 있어 핵심특허로 선정했다.
	1건	최근 파운드리 사업을 크게 진행하고 있으며 패키징 특허에 대해 멀티 칩패키징의 대한 특허를 많이 가졌으며 또한 POP와 같은 패키징 구조 개선의 대한 특허를 가져 핵심특허로 선정했다.

## 4. 기술전개도

### 4-1) 기술적 흐름도(논문)



출처. Fan-Out generations according to Yole[2]



출처.NANIUM's FOWLP integration roadmap

## 2-2) 특허적 흐름도

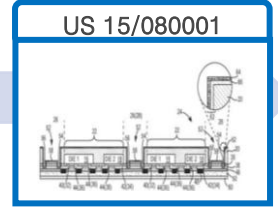
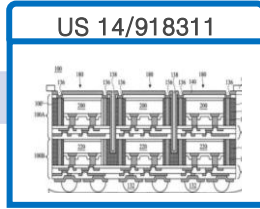
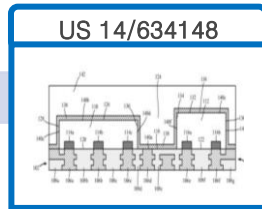
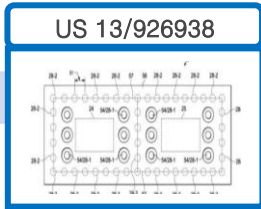
~2010

2010~2013

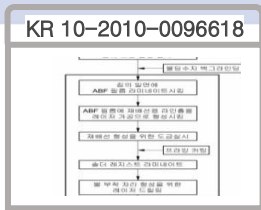
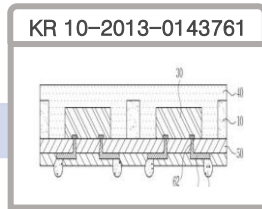
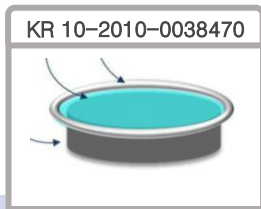
2014~2015

2016~

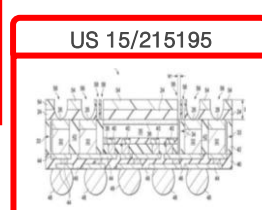
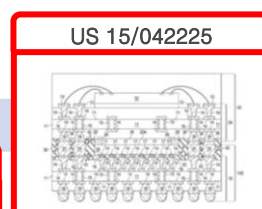
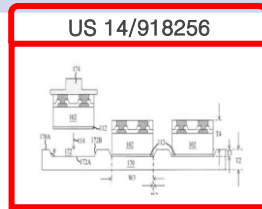
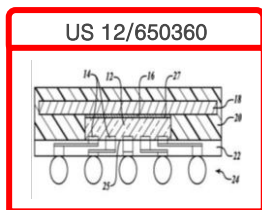
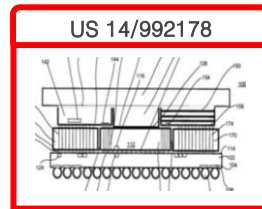
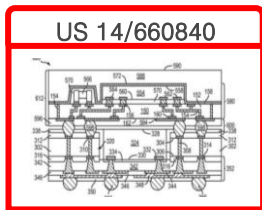
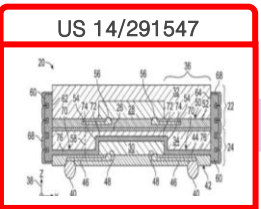
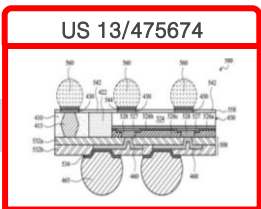
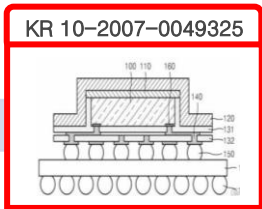
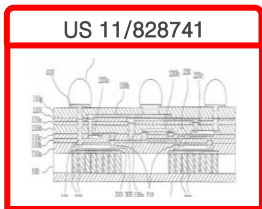
EMI 차폐



공정 개선



방열 해결



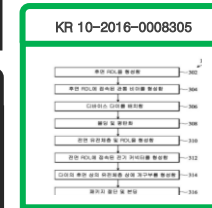
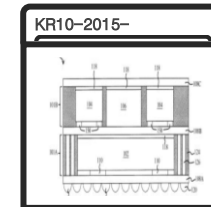
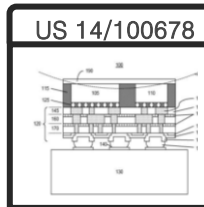
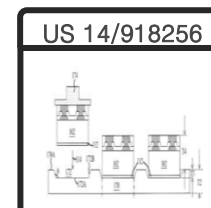
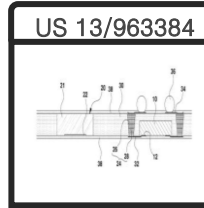
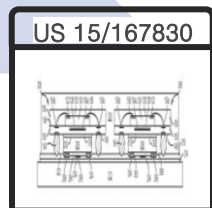
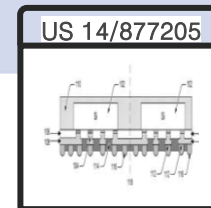
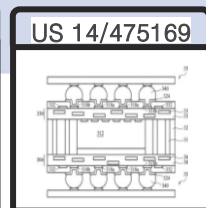
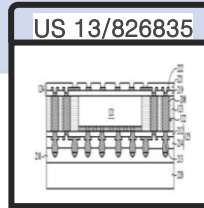
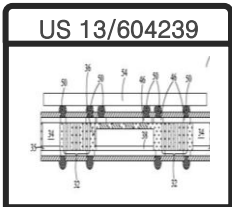
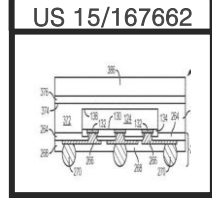
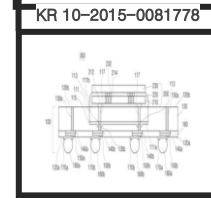
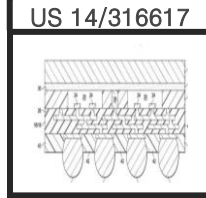
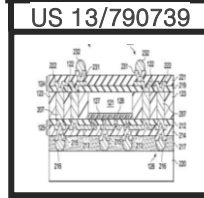
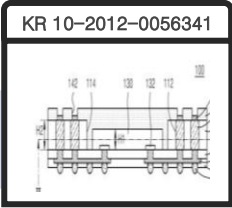
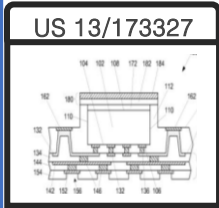
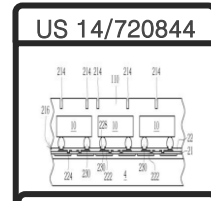
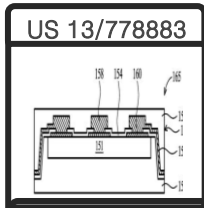
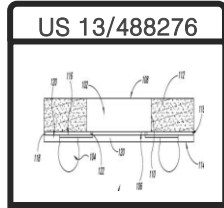
~2011

2012~2013

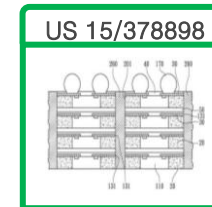
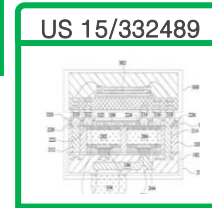
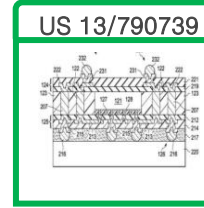
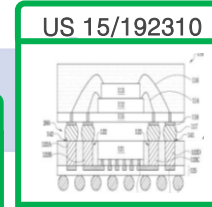
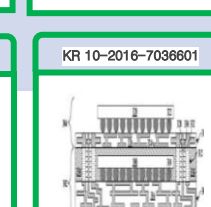
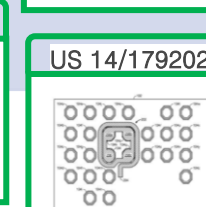
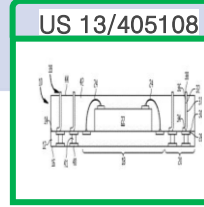
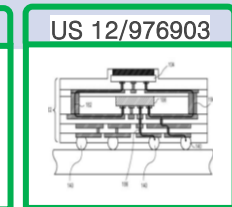
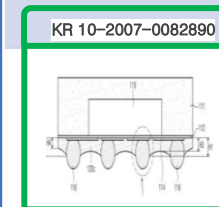
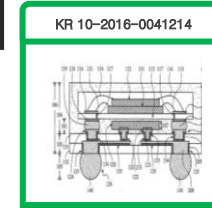
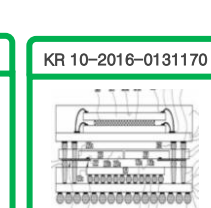
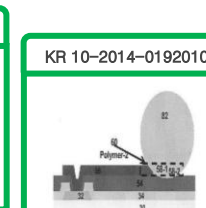
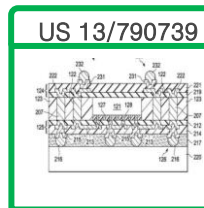
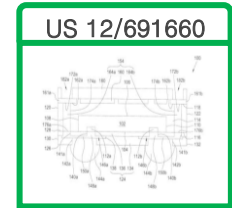
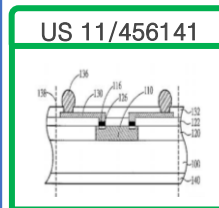
2014~2015

2016~

힘 뒤 틀림 방지



패키지 구조 개선 및 응용



## 7. 공백기술 매트릭스표

		EMI 차폐	휨, 뒤틀림 방지	방열효과 증진	공정과정 개선	패키지 구조 개선
장치 추가	패키지 몰딩 외부	13/779249 (열 소산과 EMI차폐를 제공) 14/918311 (EMI 실드) 13/926938 (실드 케이스) US 14/634148 (실드) US 15/080001 (실드)	14/100678  (휨 보정층) 15/167662  (지탱층) 15/167830  (휘어짐균형층-SOP) US 13/173327 (BBUL-C) 마이크로 전자 패키지 US 14/720844 (warping control 노치, 주요 출원인 X)	14/660840 (열분산기) 10-2007-0049325 (히트 스프레더) US 11/828741 (열방사 플레이트, 히트싱크, 히트파이프) US 14/291547 (열 분산기 구조를 증착) US 14/992178 (열분산기)	X	15/332489 (프로텍션 막)  10-2014-0192010 (PPI패드)
	패키지 몰딩 내부	X	14/475169 (더미 패드) 13/604239 (벌크 금속)  10-2015-0165023 (더미 다이) 13/488276  (보호층) US 13/963384  (기준다이, 패턴)	13/475674 (도전성 column) 15/042225 (에어 갭, 댐) 12/650360 (열소산기)	X	13/091744 (보강층)
	몰딩층 재료변경	X	O	O	X	10-2017-0090971 (폴리머)
재료 변경	RDL 재료 변경	X	14/316617 (나노 필러 재료) 13/790739 (응축성 절연층) US 9646946 (금속 호일 라미네이션을 사용)	O	O	13/790739 (응축성절연층-휨 증복)
	재료로 구조물을 감싸는 방법	X	13/826835 (압축성 유전체층)	O	X	O

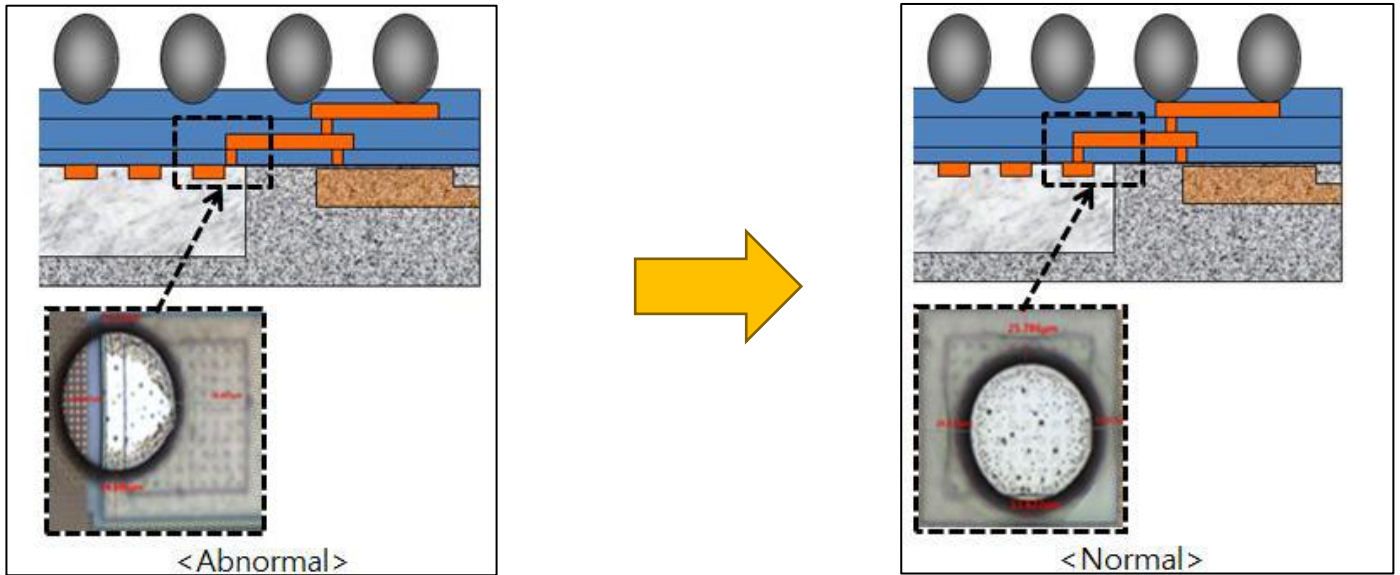
	특정 부분 제거	X	14/918256 (부분몰딩-방열증폭)	14/918256 (부분 몰딩)	O	O
구조 변경	특정 부분 변형	X	13/778883 (관통 측벽 비아) KR 10-2012-0056341 (미리 절연 기판에 관통홀 형성 및 충전) KR 10-2015-0081778 TEV, 리패시베이션층	15/215195 (가이딩 트렌치)	10-2010-0038470 (점착테이프)  10-2010-0096618 (ABF 필름부재 및 레이저 가공 공정을 이용 -공정수 단축)	15/192310 (오픈형 말단) 10-2016-0041214 (몰딩x접속구조) 10-2016-0008305 (비아사용- 일반적) 10-2007-0082890 (솔더볼 몰딩) KR 2016-7036601 (POP) 동축 상호접속부 US 12/976903 (MCP) US 11/456141 FOWLP(다이넓히기) US 13/405108 (POP) US 12/691660 (인터커넥트) US 15/378898 (stacked) 10-2016-0131170 (POP&TSV)

**O**: 공백기술

**X**: 기술구현 불가

## 8. 미래 특허 전략

### 8-1) 몰딩화합물 재료변경을 통한 휨 뒤틀림 방지.

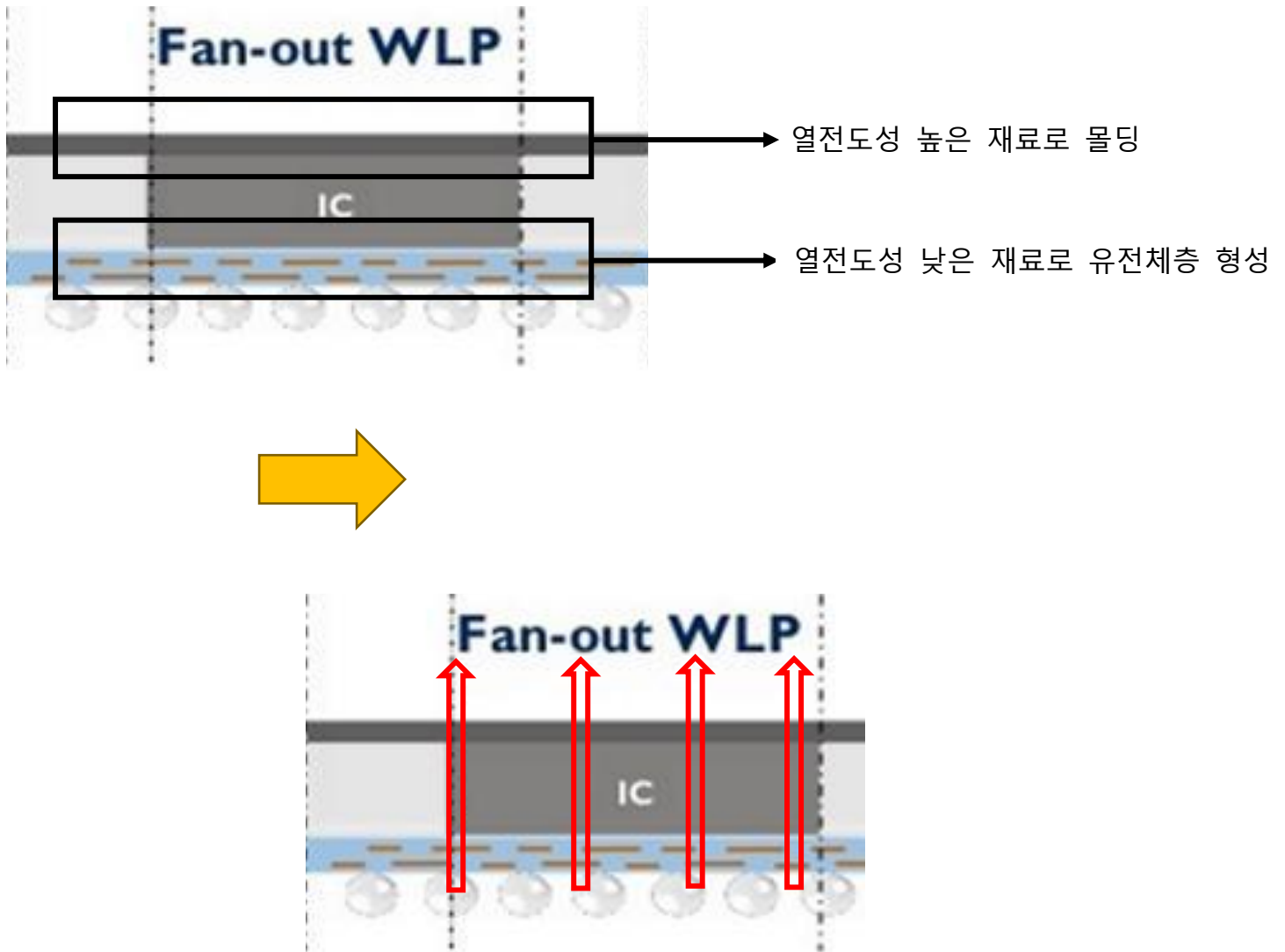


먼저 EMC의 역할은 외부환경으로부터 칩을 보호하고, 칩을 전기적으로 절연시켜주며, 칩의 작동 시 발생하는 열을 효과적으로 방출시켜야 하며, 실장이 간편해야 한다.

EMC 설계 시에는 용도나 사용 환경 및 가격을 중심으로 성형성, 내습성, 접착성, 역학, 열, 전기적 특성 등을 동시에 고려해야하며 EMC 설계가 공학적으로나 공업적으로 고난도의 기술이 필요한 이유는 EMC의 여러 요구특성이 서로 상충되기 때문이다.

다음 위의 그림을 보면, 반도체 소자를 기준으로 상단과 하단의 CTE계수가 차이가 크면 휨현상이 발생하는 문제점이 있다. 이에 대한 방안으로 하단과 상단의 CTE계수를 조정한다면, 즉 몰딩층의 재료를 유전체층과 CTE계수가 비슷한 재료로 만든다면 휨 현상을 방지 할 수 있다.

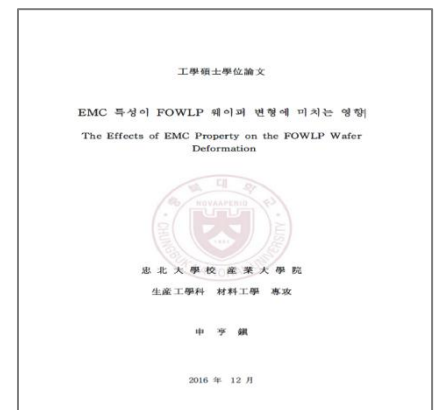
## 8-2) 몰딩층 재료변경을 통한 방열 해결



반도체 소자를 이용하여 완제품이 완성된 후에 열이 방출 됨으로 인해 소자의 손상이 일어날 수 있는 문제점이 있다. 이에 대한 방안으로 재료를 통해 발생하는 열을 외부로 방출하기 위해서 상단의 몰딩층과 하단부의 유전체층의 열전도도의 차이를 두어 열을 상단으로 방출하면서 반도체 소자의 손상을 방지할 수 있다.

### 참고문헌

\_ EMC 특성이 FOWLP 웨이퍼 변형에 미치는 영향



## 9. 회피설계

Target Patent : 버퍼 층 내의 가이딩 트렌치를 갖는 집적 팬아웃 구조 (KR 10-2013-0155730)

핵심특허 US 15/215195 (출원인 : TSMC)와 패밀리특허

### <타겟 특허의 청구항>

청구항 1	EMC, 그 위에 있는 buffer층, 스루 비아를 포함하는 하부 패키지.
청구항 2	가이딩 트렌치 안까지 연장된 underfill, 그러나 갭의 중심은 에어갭 상태 유지.
청구항 3	링 형태를 이루는 가이딩 트렌치(단면도가 아닌 평면도로 봤을 때임)
청구항 4	다이의 후면에 buffer층과의 접착을 위해 접착 층이 있다.
청구항 5	하부 패키지와 결합된 상부패키지. 이들 사이에는 갭이 있고 이는 제1 가이딩 트렌치와 연결됨.
<b>청구항 6</b>	<b>청구항 3을 따르고, 다이 바로 윗 부분의 buffer층은 남아있어야 한다.</b>
<b>청구항 7</b>	<b>제1 가이딩 트렌치를 둘러싼 제2 가이딩 트렌치가 있다.</b>
<b>청구항 8</b>	하부 패키지의 형성, 상-하부 패키지의 결합 공정단계 (1)버퍼층 위에 비아 형성                      (2)버퍼층 위에 다이 배치 (3)몰딩    (4)몰딩 평탄화 (5)재배선 형성                                      (6)버퍼층에 개구 형성(솔더 볼 연결용) (7)가이딩 트렌치 형성                              (8)갭을 가지는 패키지 형성
<b>청구항 9</b>	하부 패키지를 분리하는 sawing단계. 이때 가이딩 트렌치는 언더필이 안 채워져 있는 상태이다.

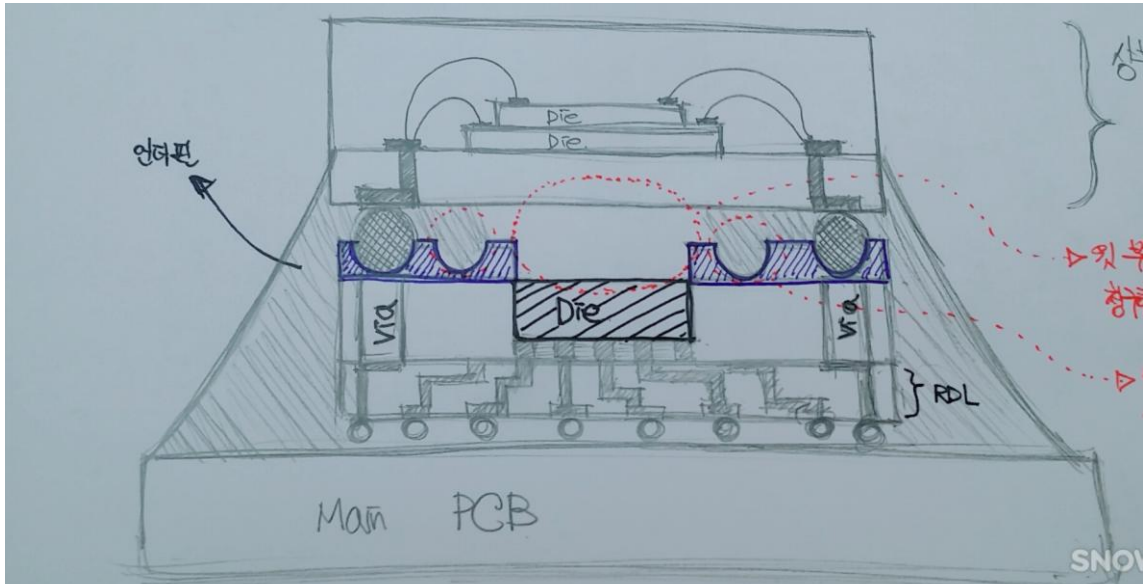
### <타겟 특허의 효과>

상,하부 패키지 결합 후, 하부 패키지를 언더필로 몰딩하는 과정에서 사이가 에어 갭 형태인 경우 방열 효과가 좋음. 그런데 이 때 가이딩 트렌치가 있다면 갭의 중심부분까지 언더필이 채워지기 전에 가이딩 트렌치의 구멍이 먼저 채울 것이므로, 이때 언더필 주입 프로세스를 종료하면 균일한 에어 갭을 얻을 수 있음.

<회피 설계 전략>

1. 나머지 형태는 비슷하게 진행하되, 하부패키지의 다이 윗부분의 buffer층을 모두 식각하여 본 특허의 **청구항 6**에 어긋나도록 설계 (동일 출원인의 US 14/918256 특허 인용) : 다이 윗부분을 이처럼 노출시키면 방열효과는 더욱 증대

2. **청구항 7**에 어긋나도록 설계 : 1중, 2중 트렌치를 형성하는 것이 아니라 하나의 깊고 넓은 트렌치를 형성하는 방식

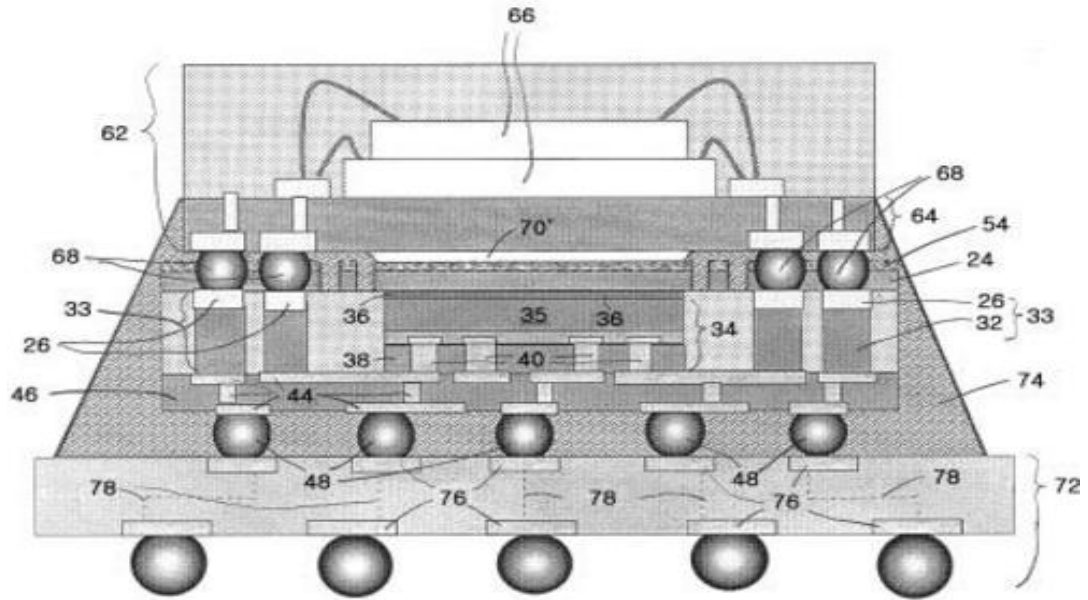


▲ 가상의 도면

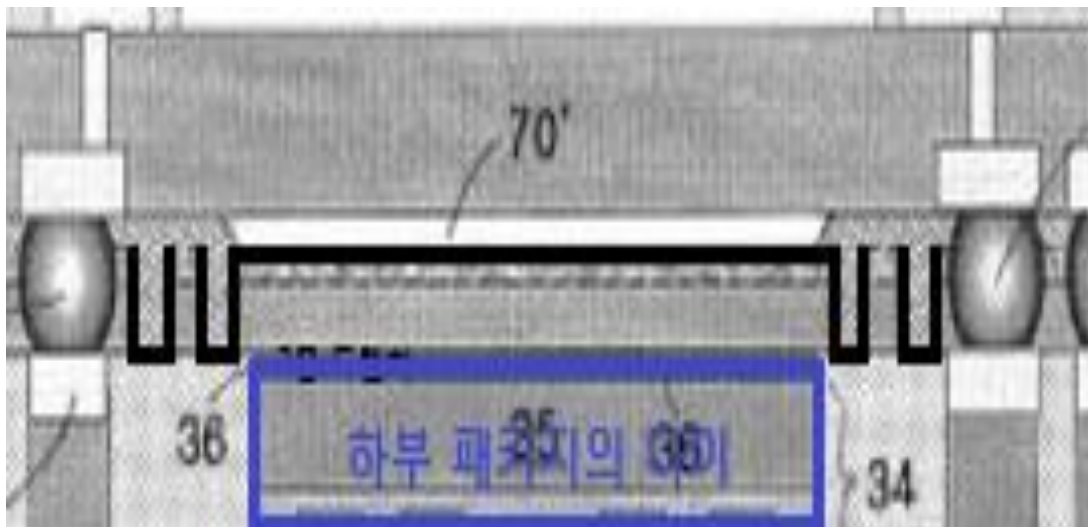
<가상 도면 설명>

1) 도면에서 하부 다이 윗부분을 **빨간 점선으로 동그라미 친 부분**을 보시면 **buffer층(파란색)**을 제거했습니다. (원래 특허는 버퍼층을 유지하라고 했음. 청구항6 참조)

2) 그리고 그 양 옆으로 둥근 우물 형태(모양은 상관없음)의 **새로운 단일 가이딩 트렌치**를 형성하였습니다.(원래 특허는 좁은 폭을 가지는 트렌치를 형성하고 이를 1,2중 트렌치로 만들었습니다.) 여기서 회피 포인트는 작은 우물을 2중으로 만들 것이 아니라 큰 우물 한 개를 파는 것입니다.



▲ 본 특허도면



▲ 본 특허 도면 갭 확대

# V. 결론

구 분	내 용
<p><b>기술적 분석</b></p>	<p>FOWLP란 Fan-Out wafer level package로, I/O 단자 배선을 Die 바깥으로 빼 I/O 수를 늘리는 기술이다. 이 기술을 활용하면 I/O 수가 많은 고성능 칩도 저렴한 원가로 Wafer Level Package가 가능해진다. Die 크기가 28/20/16nm 공정을 거쳐 작아지더라도 PCB 기판의 I/O 단자를 위한 충분한 공간을 확보할 수 있다. 향후 고성능 칩은 대부분 Fan-Out 기술을 채택할 것으로 예상된다. FOWLP의 장점으로는,</p> <ol style="list-style-type: none"> <li>1) 기판을 사용하지 않기 때문에 두께가 얇아져 패키지 두께는 0.5mm 이하로 구현할 수 있다. 기존 FC-CSP에 비하면 두께가 50% 가량 축소되고, 패키지 사이즈도 소폭 작아진다.</li> <li>2) 수율이 확보된다면 원가절감이 가능하다. 기판 비용이 없어 몰딩 공정 등이 추가되더라도 패키징 및 테스트 원가가 저렴하다. 현재 High-end급 FC-CSP의 가격은 개당 2~3달러 수준이다. Fan-out 영역에서 재배선이 충분히 이루어지기 때문에 Interposer, Micro-Bump 등이 불필요하다. 또한 FOWLP는 Batch 방식 생산공정이 가능해 생산성을 높일 수 있다.</li> <li>3) 전기적 성능과 열효율이 우수하다. IC와 메인 기판 사이의 배선 길이가 단축돼 노이즈가 감소하고, 두께가 얇다 보니까 방열 효과도 뛰어 나다. 다층 재배선(Redistribution Layer) 구성이 가능하고, 연결선이 최적화되며, 열 저항이 낮아진다.</li> <li>4) I/O 밀도를 높일 수 있다. Die 크기를 줄이면서 Ball Pitch를 줄일 수 있다. Line/Space 10<math>\mu</math>m 이하, 재배선층 2층 이상에 적용 가능하다. 같은 면적에서 더 우수한 성능의 칩을 구현할 수 있다는 의미다. 현재 FC-CSP는 I/O 밀도를 줄이는 데에 한계에 도달해 있다.</li> <li>5) FC-CSP에 비해 SiP(System in Package), PoP(Package on Package), 3D 등 Multi Die 집적화 에 유리하다.</li> </ol> <p>이러한 장점을 가진 FOWLP에 대한 기술 분석을 먼저 진행하였고, 특히 검색의 방향은 (1)FOWLP의 구조 개선을 목표로 한 특허, (2)FOWLP에서 발생할 수 있는 문제점(휨,방열,전자파 차폐 등)을 해결할 수 있는 특허, (3)FOWLP의 응용 구조인 SiP(System in Package), POP(Package on Package) 3D-stacked die 등의 구조 분석 특허 위주로 방향을 잡았다.</p>
<p><b>정량적 분석</b></p>	<p>최근 파운드리 업체인 TSMC가 InFO기술을 상용화함에 따라, 파운드리와 패키징업체(OSAT)와의 벽이 무너졌다. 유효데이터를 기술분류, 주요출원인, 연도별 분석을 함으로</p>

<p><b>정성적 분석</b></p>	<p>유효데이터 선정 후 FOWLP의 대한 49개의 핵심특허를 선정했으며 EMI차폐, 휨 현상, 방열현상, 공정과정개선, 패키징 구조개선 5개로 나눠 핵심특허를 분류한 후 분석을 진행했다. 기술흐름도를 통해 핵심특허는 대부분 2010년 이후의 특허로 최신의 특허가 많음을 알 수 있다. 또한 핵심특허중 약 15개의 주요기업의 대해 특허와 함께 분석했으며 핵심특허 중 각 부분별 가장 중요한 특허를 6개를 선정해 FOWLP의 대한 슬더볼 몰딩, 지탱층, 마이크로전자패키지, 도전성 column, 가이딩 트렌치 등 에 대한 정석분석을 실시했다.</p>
<p><b>공백기술 및 회피설계 제시</b></p>	<p><b>1. 공백 기술.</b>  핵심 특허 매트릭스 분석 결과 분석을 통해 CTE 부정합에 의한 공정 중 패키지의 뒤틀림 문제, 디바이스 방열 증진효과를 증진시키기 위해 재료 변경(몰딩,RDL재료 등)을 이용하는 특허의 공백이 있음을 알 수 있었습니다.  따라서 이러한 공백을 타겟으로 하여 문제에 접근하였고, RDL을 구성하는 유전체 층 재료를 열 전도성이 낮은 물질로 선정하여 패키지의 하부(기판 쪽)으로 열이 전도되는 것을 방지하고, 몰딩 화합물 재료는 열 전도성이 상대적으로 높은 것을 선정하여 다이 윗부분으로 열이 전도되어 빠져나갈 수 있도록 설계하였습니다. 또한 유전체 층과 다이, 몰딩 화합물의 CTE도 고려하여 세 물질의 CTE가 가장 비슷한 수치를 가지는 물질 위주로 선정하여 공정 중 발생할 수 있는 휨,뒤틀림 현상도 감소시킬 수 있도록 하였습니다.</p> <p><b>2. 회피 설계 방안</b>  회피 설계의 타겟 특허는 TSMC에서 출원한 균일한 에어 갭을 형성하기 위한 특허입니다. 가이딩 트렌치라는 구조를 이용하여 언더필 주입 프로세스의 종료지점을 알 수 있도록 하는 방식인데, 회피 설계의 포인트는 하부 패키지의 다이의 배면부분의 buffer층을 식각하여 노출시키는 방식을 적용하는 것입니다. 이를 통해 더 효율적인 방열이 가능하고 타겟 특허의 청구항6 또한 회피할 수 있습니다. 두 번째 회피 포인트는 좁은 폭을 가지는 2중 트렌치구조를 형성하는 것이 아닌 단일의 깊고 넓은 트렌치를 형성하여 타겟 특허의 청구항7을 회피할 수 있도록 설계하였습니다.</p>
<p><b>앞으로의 방향</b></p>	<p>특허분석을 통하여 위와 같이 휨, 뒤틀림현상과 열문제를 해결하는 공백기술과 회피설계를 제시하였다. 이외에도 최근 EMI차폐에 대한 중요성이 대두되면서 앞서서 제시한 아이디어에 EMI차폐에 대한 아이디어를 결합한다면 수율이 높은 패키징 공정을 수립할 수 있다고 본다.</p>